

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
27/115
29/06

H 0 1 L 29/78 3 7 1
29/06
27/10 4 3 4
29/78 6 1 7 J
6 1 8 A

審査請求 未請求 請求項の数28 F D 外国語出願 (全 88 頁) 最終頁に続く

(21) 出願番号

特願平9-240030

(22) 出願日

平成9年(1997) 9月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中里 和郎

イギリス国、ケンブリッジ シー・ビー・

3 0 エイチ・イー、マディングレー

ロード(番地なし) キャベンディッシュ

ラボラトリー、ヒタチ ケンブリッジ

ラボラトリー、ヒタチ ヨーロッパ リミ

テッド内

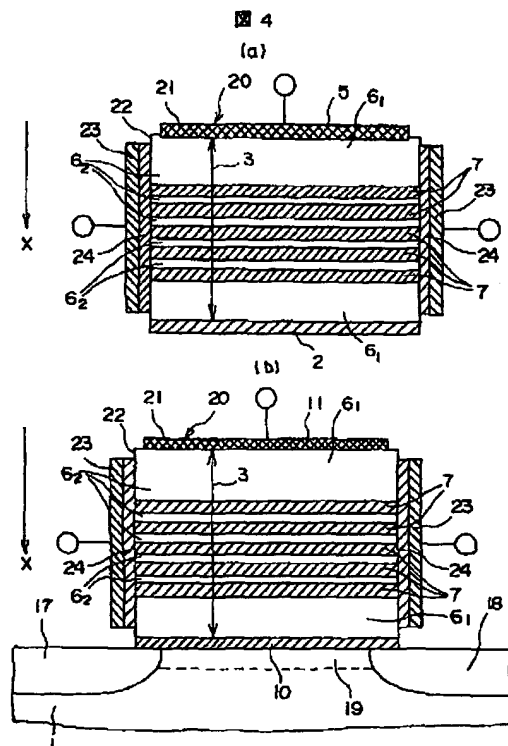
(74) 代理人 弁理士 富田 和子

最終頁に続く

(54) 【発明の名称】 柱状構造を有する半導体装置

(57) 【要約】

【解決手段】側壁22と頂部表面21とを有する直立ビラー構造20と、このビラー構造の側壁に沿ったサイドゲート構造23とを備え、直立ビラー構造は、比較的導電性の材料と非導電性の材料の領域6、7を有し、第1の状態では、ビラー構造を通して電荷キャリアフローが発生可能であり、第2の状態では、それらの領域が、ビラー構造を通る電荷キャリアフローを阻止するトンネル障壁構造を呈し、サイドゲート構造は、側壁を介してビラー構造に電界を印加することにより電荷キャリアの移動を制御するよう構成されている。このデバイスは、ビラー構造の下にメモリノード10を有するメモリとして使用しうる。メモリノードは、ビラー構造の頂部表面21上の制御電極11から渡される電荷を蓄積する。このデバイスは、ビラーの上にソース5を有し、ビラーの下にドレインを有するトランジスタとしても構成しうる。



【特許請求の範囲】

【請求項1】側壁と頂部表面とを有する直立ビラー構造と、このビラー構造の側壁に沿ったサイドゲート構造とを備え、前記直立ビラー構造は、比較的導電性の材料の領域と非導電性の材料の領域とを有し、第1の状態では、ビラー構造を通して電荷キャリアフローが発生可能であり、第2の状態では、それらの領域が、ビラー構造を通る電荷キャリアフローを阻止するトンネル障壁構造を呈し、前記サイドゲート構造は、側壁を介してビラー構造に電界を印加することによりその電気伝導度を制御するよう構成された、制御可能な伝導デバイス。

【請求項2】前記領域は、比較的低い障壁高さを有する寸法的に比較的広い障壁成分と、比較的高い障壁高さを有する少なくとも1つの比較的狭い障壁成分とにより構成されるエネルギーバンドプロファイルをもたらし請求項1記載のデバイス。

【請求項3】比較的高い障壁高さの前記エネルギーバンドプロファイルの成分は3nmまたはそれ以下の素子により得られる請求項2記載のデバイス。

【請求項4】前記トンネル障壁構造のエネルギーバンドプロファイルは前記比較的高い障壁高さ成分を複数個有する請求項2または3記載のデバイス。

【請求項5】前記構造は、比較的導電性の材料と絶縁性の材料の交互の層を有し、これらの層は集合として前記エネルギーバンドプロファイルの前記比較的低い障壁高さ成分をもたらし、個々の絶縁性の層が前記比較的高い障壁成分をもたらし請求項2、3または4記載のデバイス。

【請求項6】前記交互の層は、それぞれ、ポリシリコン、および、窒化シリコンまたは酸化シリコンである請求項5記載のデバイス。

【請求項7】前記交互の層内に大量にドーパされた障壁層を有する請求項6記載のデバイス。

【請求項8】前記導電性層は、各々、10nmより小さい厚さであり、前記絶縁層は1nmのオーダーである請求項5、6または7記載のデバイス。

【請求項9】前記構造は導電性材料と半導体材料の交互の層を有する請求項5記載のデバイス。

【請求項10】前記ビラー構造は複数の伝導島を有する先行する請求項のいずれかに記載のデバイス。

【請求項11】前記島は絶縁マトリクス内に分散された請求項10記載のデバイス。

【請求項12】前記島は3～10nmの直径を有する請求項10または11に記載のデバイス。

【請求項13】前記島は半導体材料のナノ結晶を有する請求項10～12のいずれか1つに記載のデバイス。

【請求項14】前記島は金属により構成される請求項10～12のいずれか1つに記載のデバイス。

【請求項15】トランジスタとして動作する先行する請求項のいずれかに記載のデバイスであって、前記ビラー

構造を通るソース・ドレイン電荷キャリアフロー経路を設けるためのソース領域およびドレイン領域を有し、前記サイドゲートが前記ソース・ドレイン電荷キャリアフロー経路に沿った電荷キャリアフローを制御するよう動作可能であるデバイス。

【請求項16】メモリとして動作可能な請求項1～13のいずれか1つに記載のデバイスであって、前記ビラー構造を通る経路に沿って通過する電荷キャリアを受け取るためのメモリノードを有し、前記ゲートは、当該ノードに蓄積された電荷を制御するために、前記経路に沿った電荷キャリアフローを制御するよう動作可能であるデバイス。

【請求項17】前記ノードに蓄積された電荷のレベルに依存した伝導度をもつソース・ドレイン経路を有する請求項16記載のデバイス。

【請求項18】前記サイドゲート構造はショットキゲートを有する先行する請求項のいずれかに記載のデバイス。

【請求項19】前記サイドゲートは接合ゲートを有する先行する請求項のいずれかに記載のデバイス。

【請求項20】前記サイドゲートは前記側壁に沿って配置されるが、前記頂部表面を被覆しない先行する請求項のいずれかに記載のデバイス。

【請求項21】前記サイドゲートは、前記側壁に沿って配置されるとともに前記頂部表面から離れて前記ビラー構造をまたぐブリッジを形成する領域により構成され、これによって、当該領域により前記ブリッジから前記ビラー構造内に有為な制御静電界が印加されることのない請求項1～19のいずれか1つに記載のデバイス。

【請求項22】前記ビラー構造の頂部表面全体の上に広がる制御電極を有する先行する請求項のいずれかに記載のデバイス。

【請求項23】比較的導電性の材料の領域と非導電性の材料の領域とにより構成され、第1の状態では、ビラー構造を通して電荷キャリアフローが発生可能であり、第2の状態では、それらの領域が、ビラー構造を通る電荷キャリアフローを阻止するトンネル障壁構造を呈する障壁構造と、前記構造を通る経路に沿って通過する電荷キャリアを受け取るためのメモリノードと、前記電荷キャリアを前記経路に供給して前記構造を通過させ前記ノードに蓄積させる制御電極とを備え、前記非導電性材料の領域は、それぞれ前記メモリノードおよび前記制御電極に隣接する寸法的に比較的狭い複数の障壁成分と、該狭い障壁成分の間に寸法的に比較的広い障壁成分を有するエネルギーバンドプロファイルをもたらしよう構成され、これらの障壁成分が前記ノードに不揮発性電荷蓄積をもたらしよう構成されたメモリデバイス。

【請求項24】前記ビラー構造に対してその側壁を介して静電界を印加するためのサイドゲートを有する請求項23記載のデバイス。

【請求項 25】基板(1)と、該基板上に横方向に離間して配置された制御素子(2, 5)と、前記制御素子に電氣的に接続されるとともにそれらの間に延びるチャンネル構造(3)と、ゲート領域(28G)とを備え、前記チャンネル構造は、比較的導電性の材料の領域と非導電性の材料の領域とにより構成され、第1の状態では、当該構造を通して電荷キャリアフローが発生可能であり、第2の状態では、それらの領域が電荷キャリアフローを阻止するトンネル障壁構造を呈し、前記ゲート領域は前記チャンネル構造内にその電気伝導度を制御する電界を印加するよう構成され、前記チャンネル構造(3)は、前記基板上で前記制御素子の一方の下に重なり、前記制御素子の他方の上に重なる、制御可能な伝導デバイス。

【請求項 26】前記制御素子はソースおよびドレイン領域(2, 5)を構成する請求項 25記載のデバイス。

【請求項 27】前記制御素子の一方はメモリノードを構成する請求項 25記載のデバイス。

【請求項 28】前記ゲート領域は、前記チャンネル構造を被覆し、前記制御素子の間に配置される請求項 25記載のデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリまたはトランジスタ構造に用いられる制御可能なコンダクションデバイス(伝導デバイス)に関する。

【0002】

【従来の技術】1996年11月15日に出願された我々の欧州特許出願EP96308283.9号(EPC54(3)条)には、制御電極からトンネル障壁構造を介して電荷が書き込まれるメモリノードを備えたメモリデバイスが記載されている。この蓄積された電荷はソース・ドレイン経路の伝導度に影響を与え、この経路の伝導度を監視することによりデータが読み出される。この電荷障壁構造(charge barrier configuration)は、多重トンネル障壁(multiple tunnel barrier)により構成される。多重トンネル障壁は、シリコンの多結晶層を被覆する5nm厚のポリシリコン層と2nm厚の窒化シリコン層との交互層からなり、その一部がメモリノードとして機能する。他の障壁構造は、絶縁マトリクス内に分散された、メモリノードとして機能する導電性のナノメータ・スケールの伝導島を有するものとして記載されている。トンネル障壁構造の利点は、それがメモリの読み出し書き込み時間を劣化させることなくメモリノードからの漏れ電流を低減する、ということである。異なる型のメモリデバイスが説明されている。第1の型では、制御電極からの電荷キャリアは、制御電極に印加される電圧に応じて、トンネル障壁構造を通過してメモリノードへ達する。第2の型のデバイスでは、制御電極からメモリノードへの電荷キャリアの移動を制御するために、トン

ネル障壁構造に対してゲートが追加されている。

【0003】電荷障壁構造は、1997年7月18日に出願された我々の欧州特許出願EP97305399.4号に記載のように、トランジスタのようなコントロールコンダクションデバイスに利用することもできる。このトンネル障壁構造を用いて、ソースとドレインとの間に伝導経路が設けられる。スイッチオンされたとき、電荷キャリアはこのソース・ドレイン間を流れることができるが、スイッチオフされたときには、障壁構造が当該経路を通る電荷漏れを阻止する。よって、大きいオン/オフ電流比が得られる。

【0004】

【発明が解決しようとする課題】本発明は、上述したデバイスに対する種々の独創的な改良および変形に関するものである。

【0005】上記した我々の欧州特許出願EP96308283.9号に記載の第2の型のメモリデバイスについて考えるに、そのトンネル障壁構造は、直立するピラー(柱)と、これを被覆する制御電極として構成される。前記追加されたゲートは、メモリノードに電荷を書き込むために、ピラー構造を介して、主として上部から下方へ電界を印加する。上記EP97305399.4号に記載のトランジスタのゲートの構造は、同様の方法で、ピラー構造に対して下方へ電界を印加するように構成されている。この構造では、メモリデバイスの場合にはゲートとメモリノードとの間に、また、トランジスタの場合にはゲートとドレインとの間に、高電界が印加される。この高電界により電子・正孔の対が生成され、ゲート構造の近傍に電荷が蓄積される。これにより、閉じ込めポテンシャル(confinement potential)が遮蔽される。

【0006】

【課題を解決するための手段】これらの問題を克服するために、本発明は、その第1の見地において、側壁と頂部表面とを有する直立ピラー構造と、このピラー構造の側壁に沿ったサイドゲート構造とを備える制御可能な伝導デバイスを提供する。直立ピラー構造は、比較的導電性の材料の領域と非導電性の材料の領域とを有し、第1の状態では、ピラー構造を通して電荷キャリアフローが発生可能であり、第2の状態では、それらの領域が、ピラー構造を通る電荷キャリアフローを阻止するトンネル障壁構造を呈する。サイドゲート構造は、側壁を通してピラー構造に対して電界を印加することによりその電気伝導度を制御するよう構成される。

【0007】本発明によるデバイスは、ピラー構造を通過する経路に沿って流れる電荷キャリアを受け取るメモリノードを備えたメモリに用いることができる。当該経路に沿った電荷キャリアフローを制御するようサイドゲートを操作することにより、ノードに蓄積された電荷を制御することができる。

【0008】このデバイスは、また、トランジスタとして動作させることもできる。トランジスタでは、ピラー構造を通してソース・ドレイン電荷キャリアフロー経路が設けられるよう、ソース領域およびドレイン領域が設けられ、サイドゲートが当該経路の電荷キャリアフローを制御するように操作される。

【0009】サイドゲート構造はショットキゲートまたは接合ゲートにより構成してもよい。

【0010】上記EP96308283、9号に記載されたメモリデバイスの一実施例は不揮発性のものである。その障壁構造は、30nm厚の非ドーパシリコン層間に配置された5nm厚の絶縁窒化シリコン障壁を有する。その結果得られるエネルギーバンドプロファイルは、次のようなものとなる。すなわち、メモリノードに蓄積された電荷は、メモリデバイスに対して制御電荷が印加されないときに、当該障壁構造により保持される。

【0011】本発明は、改良された不揮発性の構造を提供する。本発明の他の見地によれば、次のようなメモリデバイスが提供される。すなわち、このメモリデバイスは、比較的導電性の材料の領域と非導電性の材料の領域とを有し、第1の状態ではピラー構造を通して電荷キャリアフローが発生可能であり、第2の状態では当該構造の電荷キャリアフローを阻止するトンネル障壁構造を当該領域が呈する障壁構造と、当該構造を通る経路に沿って移動する電荷キャリアを受け取るメモリノードと、当該構造を通過して前記ノードに蓄積されるように前記経路に対して電荷キャリアを供給する制御電極とを備え、それぞれメモリノードと制御電極に隣接した寸法的に比較的狭い障壁成分と、当該狭い障壁成分間の寸法的に比較的広い障壁成分とからなり、この障壁成分が当該ノードでの不揮発性電荷蓄積をもたらすよう構成されたエネルギーバンドプロファイルをもたらすよう前記非導電性の材料の領域が構成される。

【0012】我々の上記EP97305399、4号に記載されたトランジスタの一実施例は、ラテラル構造(lateral structure)を有する。ソースとドレインとは横方向に離れ、これらの間にゲートが配置される。

【0013】他の見地による本発明は、この汎用のラテラル構造の改良されたデバイスを提供する。さらに他の見地による本発明によれば、制御可能な伝導デバイスを提供するものであり、これは、基板と、この基板上に横方向に離れて配置された複数の制御素子と、これらの制御素子の間に延びてこれらに電気的に接続されたチャンネル構造と、ゲート領域とを備え、このチャンネル構造は、比較的導電性の材料の領域と非導電性の材料の領域とからなり、第1の状態では電荷キャリアフローは当該構造を通して発生可能であり、第2の状態では、当該領域が電荷キャリアフローを阻止するトンネル障壁構造を呈し、前記ゲート領域はチャンネル構造に電界を印加してその電気伝導度を制御するように構成され、前記チャン

ネル構造は基板上で前記制御素子の一方の下に重なりとともに、前記制御素子の他方の上に重なるよう構成される。

【0014】本デバイスは、トランジスタまたはメモリデバイスとして構成することができる。よって、前記制御素子はソース領域およびドレイン領域であってよく、または、それらの一方はメモリモードであってよい。

【0015】

【発明の実施の形態】本発明のより一層の理解のために、以下、本発明の実施例について添付図面を参照しながら例示的に説明する。

【0016】図1は、我々の上記EP97305399、4号に記載されたトランジスタデバイスの一例をその断面として示す。このデバイスは基板1を有し、ドレイン領域2はnドーパされたポリシリコンの層からなり、この上に多層構造3が設けられる。この多層構造3が多重トンネル接合構造をもたらす。層構造3は、ポリシリコンと窒化シリコンのような比較的導電性の材料と非導電性の材料との交互の層からなる。この多重層構造3上にはゲート領域4a、4bが設けられ、両ゲート領域間にソース領域5が配置される。ソースおよびゲート領域4、5は、nドーパされたポリシリコンにより構成しうる。使用時、この構造の層の面を横切って、ドレイン2からソース5への経路Pに沿って電流が流れる。ゲート4a、4bに印加される電圧はドレイン/ソース電流を制御する。

【0017】多層構造3を参照するに、これは、電気絶縁性の窒化シリコン材料の層7の間に配置された導電性のポリシリコン層6からなる。絶縁層7は、典型的には3nmのオーダーの厚さであり、図2(a)に示すようなエネルギーバンド図をもたらす。絶縁層7は、個々の層7の幅に対応した比較的狭い幅寸法w、かつ高さBの比較的高い障壁8をもたらす。この例では、幅寸法wは3nmのオーダーである。個々の障壁8の間隔は、導電性シリコン材料の層6の厚さによって決まる。層構造3の頂部および底部の近くでは、層6は50nmのオーダーの厚さW1を有し、その積層体(stack)の中央領域では、層6は5nmのオーダーの厚さW2を有する。

【0018】層構造3の層は、集合として、障壁高さbをもたらす。この障壁高さbは、個々の層の障壁高さBに比べて低い。全体の多層構造3の幅WTに対応するその物理的な寸法に関連して比較的広い。

【0019】本デバイスに対してソース・ドレイン電圧が印加されると、多層構造3のエネルギー図は、図2

(b)に示す構造となる。電子は、比較的狭い障壁wをトンネリングしながら、ソース・ドレイン電圧により与えられたポテンシャル勾配を降下し、ソース5からドレイン2へ通過することができることが分かる。

【0020】図2(a)に示した構造において、ソース・ドレイン電圧が0の場合、層構造3により集散的に与

えられる比較的広いが低い障壁 b は、比較的高いが狭い高さ B の障壁 8 と相まって、ドレイン 2 とソース 5 との間の電荷キャリア導通を阻止する障壁構造をもたらす。広い障壁 b は、ソース・ドレイン間の電子のトンネリングを阻止し、さらに、離隔した個々の障壁 8 は、巨視的な (macroscopic) 量子トンネリングを阻止する電子トラップをもたらす。積層体の頂部および底部の障壁が積層体の内側の層の間隔 $W2$ より広い間隔 $W1$ で離隔されているという事実は、広い障壁の高さ b に寄与する。

【0021】ソース・ドレイン電圧が印加されると、従来のトランジスタの様式でドレインからソースへへ伝導が生じ、毎秒 $\sim 10^{13}$ 乗個からなる従来の電流が流れる。経路に沿った伝導は、ゲート 4 に対してゲート電圧を印加することにより制御できる。ゲート電圧は、ゲート電圧に依存した量だけ、ソース・ドレイン間の伝導経路 P の幅を“ピンチ”させる電界を生じさせる。しかし、この構成における問題は、ゲート 4 とドレイン 2 の間に比較的高い電界が印加されるということである。この高い電界は電界誘起された電子・正孔対を生成させ、ゲート 4 近くでのキャリアの蓄積により閉じ込めポテンシャルを遮蔽する。

【0022】我々の上記 EP 96308283、9 号の図 29 に対応するメモリデバイスの実施例について、図 3 を参照しながら以下に説明する。このメモリデバイスは、断面で示され、シリコン基板 1 上に形成される。このデバイスは、5 nm のポリシリコン層としてメモリノード 10 を有し、その上に図 1 に示したものとほぼ同じ、多重トンネル障壁構造をもたらす層構造 3 が設けられる。層構造 3 は、前述した方法で、シリコンと窒化シリコンとの交互層で形成される。n 型シリコンの 30 nm の厚さの層 11 としての制御電極から、層構造 3 を介して、メモリノード 10 へ電荷キャリアを書き込むことができる。制御電極 11 は、30 nm 厚の真性 (intrinsic) シリコンの導電性層 12 上に形成される。制御電極 11 は、電気絶縁性の二酸化シリコン層 13, 14 内に密閉される。

【0023】ポリシリコン材料のゲート電極 15 は、層構造に対して主として下方へ電界を印加するように、層構造 3 を被覆し、これにより、層 3 により与えられたポテンシャル障壁構造を選択的に上下させて、メモリノード 10 に電荷を選択的に書き込むことができる。ポリシリコンゲート 15 は、二酸化シリコン 13, 14 により制御電極 11 から電氣的に絶縁される。このゲート 15 は、また、厚い酸化層 16 により層構造 3 の側縁から絶縁される。層構造 3 の側縁を通して、ゲート 15 からは有為な電界は入らず、伝導度を制御する電界 (the conduction controlling field) は層構造の最頂部表面から下方へ入る。

【0024】メモリノード 10 は、従来のドーピング技術により基板内に打ち込まれたソース 17 およびドレ

イン 18 の間の電流フローを制御するための電界効果 (field effect) ゲートとして機能する。伝導経路 19 はソース 17 とドレイン 18 の間に延び、その伝導度は、メモリノード 10 に蓄積された電荷のレベルに依存して変化する。制御電極 11 とメモリノード 10 の間に多重トンネル接合を設けるために多層構造 3 を用いることは、ノード 10 からの漏れ電流を極端に小さくする。しかし、両ゲート電極 15 は制御電極 11 の下で効果的にポテンシャル障壁構造を上げたり下げたりせず、ゲート領域とメモリノード 10 との間の領域の電界を上げる。

【0025】本発明は、図 1 の原理に従うトランジスタとして、または、図 4 (a) (b) を参照して以下に説明する図 3 の原理に従うメモリデバイスとして利用できる改良されたゲートを提供する。図 4 (a) は、図 1 を参照して説明した原理に従って動作するトランジスタに関する改良されたゲート構造を示し、図 4 (b) は、図 3 のメモリの原理に従って動作するメモリデバイスに適用される同じゲート構造を示す。

【0026】図 4 (a) (b) に示された層構造 3 は、基板 1 から直立したピラー 20 として構成され、ピラーの回りに拡がった頂部表面 21 および周囲側壁 22 を有する。本発明によれば、サイドゲート 23 は、側壁 22 に沿って形成され、選択的に障壁構造を上下させることにより、側壁を介してピラー構造内に電界を生成してその伝導度を制御する。サイドゲート 23 により、頂部表面 21 から有為な制御電界が印加されることはない。

【0027】使用時、頂部表面 21 上に形成された電極から垂直にピラー構造を通して電荷キャリアが流れる。図 4 (a) に示した本発明によるトランジスタでは、頂部電極は、図 1 を参照して前述した方法で動作可能なソース 5 からなり、ピラーの下面にドレイン 2 が設けられる。しかし、本デバイスが図 4 (b) に示したようなメモリとして構成される場合、頂部電極は図 3 で前述した制御電極 11 として動作し、ピラー構造の下面にはメモリノード 10 が配置される。メモリノード 10 に蓄積された電荷は、図 3 で説明した方法で、基板 1 に形成されたソース領域 17 とドレイン領域 18 との間の経路 19 の伝導度を制御する。

【0028】サイドゲート 23 は、二酸化シリコンで構成できる電気絶縁層 24 上に例えば導電性ポリシリコン材料により形成される。このサイドゲート 23 は、最頂部電極 5, 11 により占拠される領域内には延出せず、ゲート電圧は、高電界領域を低減するように障壁構造に対して動作する。

【0029】層 6, 7 は、典型的には、図 1 で前述した厚さおよび組成で形成される。その結果、頂部電極 5, 11 またはサイドゲート 23 に対して電圧が印加されないとき、本デバイスのエネルギーバンド構造は図 5 に示したようになる。絶縁層 7 は、個々の層 7 の幅に対応する比較的狭い幅寸法 w の比較的高い障壁 8 をもたらす。

この例では、幅寸法 w は、3 nm以下のオーダーであり、典型的には2 nmのオーダーである。

【0030】個々の障壁8の間隔は、導電性シリコン材料の層6の厚さにより決まる。層構造3の頂部および底部の近くでは、層6の厚さ w は50 nmのオーダーであり、当該積層体の中央領域での層6の厚さ W_2 は10 nm以下、例えば5 nmのオーダーである。

【0031】構造3の複数の層は、それら集合として、個々の層の障壁高さ B に比べて低いが多層構造3の幅 WT に対応するその物理的寸法に関連した比較的広い障壁高さ b をもたらす。

【0032】サイドゲート23に電圧を印加すると、図5に示した全体のエネルギーバンド図が上下する。頂部電極5, 11に電圧を印加すると、図2(b)に示した方法でこのバンド図が変形し、電荷キャリアが頂部電極5, 11からピラー構造を下方へ通過して、本デバイスが何かに応じて、ドレイン2またはメモリノード10に達する。頂部電極5, 11に電圧が印加されないときは、障壁構造はピラー構造の頂部と底部との間の経路に沿った電荷の漏れを阻止する。

【0033】図4(b)に示したようなメモリとして使用される場合、本デバイスは、高速のスタティックランダムアクセスメモリとして動作する。障壁高さ b は約0.2 Vという小さいビルトインポテンシャルをもたらす。制御電極11およびメモリノード10をゼロバイアスする条件下でゲート電極23に必要な閾値電圧は-1.0 Vである。ピラー構造により与えられる全体の障壁の高さはゲート23に印加されるバイアスにより制御される。ゲート電極23に約-4.0 Vの負のゲートバイアスを与えると、蓄積電荷がメモリノード10に保持される。この負のゲートバイアスは約3 eVのポテンシャル障壁を生成する。この高さは、約10年の期間にわたって当該ノードに蓄積電荷を維持するに充分である。

【0034】情報を書き込むには、ゲート23に印加する電圧を0に維持し、制御電極11に対して1.0 Vのバイアス電圧を印加する。このとき、ピラーの全体の障壁構造は図2(b)に示したように下方に傾いた傾斜を示し、その結果、電子は個々の障壁8をトンネリングしてメモリノード10へ達することができる。情報を読み出すには、ゲート電極23に-3.0 Vの電圧を印加すると共に、図3で前述した方法で、チャンネル19を流れるソース・ドレイン電流を監視する。

【0035】本デバイスを図4(a)に示したようなトランジスタとして用いる場合、すなわち、頂部電極5がソース、下面領域2がドレインを構成する場合、本デバイスは、高速なノーマリオントランジスタとして動作する。このようなトランジスタのより実際の例を、図6を参照して以下に説明する。

【0036】図6(b)に示すように、基板として機能するシリコンウェハ25に、熱的成長した二酸化シリコ

ン層1を設ける。ドレイン2は、酸化シリコン層1上に形成された n^+ ポリシリコン層からなる。このドレインは、二酸化シリコンの電気絶縁層26により密閉される。

【0037】多重トンネル接合構造をもたらす層構造3は、ドレイン2を被覆するように形成される。層構造3は、ドレイン領域2から直立するようにピラー20として形成され、絶縁二酸化シリコン層24により囲まれる。ソース5は、ピラー20の頂部表面を被覆する n^+ ポリシリコン層からなる。

【0038】ゲート23は、保護絶縁層24と接して、ピラー20の側壁22との境を形成するが、頂部表面21は被覆しない。

【0039】この構造は、以下に詳述する保護絶縁層27によって被覆される。図6(a)から分かるように、酸化層27にコンタクト窓が形成され、ソース電極28S、ドレイン電極28Dおよびゲート電極28Gが外部との接続に供される。

【0040】図6に示したデバイスの製造方法を、以下、図7を参照して説明する。

【0041】図7(a)を参照するに、開始材料はシリコンウェハ25であり、これを1000°Cで熱酸化して SiO_2 の600 nm層1を形成する。この層は絶縁基板として機能する。ついで、ドレイン形成のために用いる層2を SiO_2 層1上に形成する。この層2は、低压化学蒸着(LPCVD)により反応室(reactor)内で成長させた10 nm厚のポリシリコンからなる。次に、10 nmの厚さの二酸化シリコン層を層2の表面上に成長させる。次に、砒素イオンを層2内に打ち込むことにより、ドレインとして用いることができる n^+ ドーパされた導電層を形成する。砒素イオンは、酸化層に25 KeVのオーダーのエネルギーで、 $3 \times 10^{15} \text{ cm}^{-2}$ の照射量(dosage)で打ち込む(図示せず)。この酸化層は、次に、20:1のRHF溶液を用いるウェットエッチングにより除去する。

【0042】その後、層2上に多層構造3を形成する。多層構造3は、シリコン層6と窒化シリコン層7との積層体からなる。初め、シリコン層61を比較的大きい厚さ W_1 で形成し、次に、積層体の大部分について、層6₂を $W_2=5 \text{ nm}$ のオーダーの厚さで形成する。さらに、当該積層体の頂部に、厚さ W_1 の少なくとも1層の層61を形成する。この例では、頂部に2層の層61を形成する。これは、図7(a)に示した断面の拡大細部に詳細に見ることができる。

【0043】層6, 7は、LPCVD反応室内で形成する。この工程は、M.MoslehiおよびK.C. Saraswat, IEEE Trans. Electron Devices, ED. 32, p 106 (1985)に詳細に記載されているようなシリコンの熱窒化処理(thermal nitridation)を含み、薄いトンネル接合を形成する。ここに、窒化物の障壁厚さが成長温度に依存して約

2～3 nmに自己制限され、トンネル障壁高さは2 eVのオーダーとなる。

【0044】層構造3は次のようにして反復的に形成する。まず、LPCVD反応室内の770°CのSiH₄ガスの中でシリコン層を成長させて、図7(a)に示すような関連する層のためにシリコンの適当な厚さを得る。その後、この成長させたシリコンの表面を、反応室内の1 Torrの100% NH₃ガス状雰囲気の中で20分間930°Cで、直接、窒化シリコンに変換する。次に、同じ室内でこの窒化シリコン上に別のシリコン層を成長させ、上記工程を繰り返す。したがって、酸化シリコンを全く含まない純粋な窒化シリコンが、順次成長させた層7に形成される。

【0045】次に、ポリシリコン層5を、LPCVDにより10 nmの厚さで成長させる。次に、この層5の上に、10 nmのオーダーの厚さの二酸化シリコン層を成長させる。この酸化層に $5 \times 10^{15} \text{ cm}^{-2}$ の照射量で、かつ25 KeVのエネルギーで砒素イオンを打ち込む(図示せず)。これにより、シリコン層5を大量ドーブされたn型層に変換する。次に、800°Cで1分間、熱アニーリングを行い、砒素イオンを活性化して、層5に大量nドーブされた電気的特性をもたせる。この層5は、後に、本デバイスのソースとするために用いられる。次に、層5の上に100 nm厚の酸化シリコン層30を成長させる。

【0046】図7(b)を参照するに、酸化シリコン層30は、次に、光学リソグラフィと、CHF₃およびアルゴンガスの雰囲気中でのドライエッチング法とを用いて、それ自体既知の方法でパターン化される。ついで、フォトリソグロフおよびパターン層30をマスクとして用いて、CF₄ガス中で、従来のドライエッチング法により、層5および層3をパターン化する。

【0047】次に、別のパターン化工程において、従来の光学リソグラフィとCF₄ガスの雰囲気中でのドライエッチングとを用いて層2をエッチングすることにより、図7(b)に示すようなパターンを形成する。このようにして、層構造3は、ドレイン領域2から直立した、頂部表面21と側壁22とを有するピラー20の形にエッチングされる。

【0048】次に、図8(a)に示すように、熱酸化により二酸化シリコン層24、26を成長させてn⁺ポリシリコン層5、2のエッチングされた部分およびピラー構造3を被覆する。ピラー構造の周囲の酸化層24の厚さは10 nmのオーダーであり、ソース領域5およびドレイン領域2を被覆する層26は50 nmのオーダーの厚さである。大量ドーブされた領域5、2上の二酸化シリコンの厚さは、SELOCSによるピラー3の真性シリコン上の二酸化シリコンの厚さより厚い。

【0049】図8(b)に示すように、ポリシリコン層23をLPCVDにより100 nmの厚さまで成長させ

る。次に、この層23の表面上に、10 nmのオーダーの厚さの薄い二酸化シリコン層(図示せず)を成長させる。次に、この酸化層に対して、 $5 \times 10^{15} \text{ cm}^{-2}$ の照射量かつ25 KeVのエネルギーで、砒素イオンを打ち込み、ポリシリコン層23を大量ドーブされたn型層に変換する。

【0050】次に、800°Cで1分間の熱アニーリングを行って砒素イオンを活性化し、層23に大量nドーブされた電気的特性をもたせる。この層23は後に、本デバイスのゲートとするために用いられる。次に、光学リソグラフィと、CF₄ガスの雰囲気中でのドライエッチング法とを用いて、層23をパターン化する。ついで、500 nmの厚さのBPSG(boron and phosphorus contained silicadeglass)と、250 nmの厚さのHSG(spin on glass)とからなる保護層27を形成する。

【0051】図8(c)に示すように、次に、CH₂F₂およびアルゴンガスの雰囲気中でのドライエッチング法により、BPSGおよびHSGの層27をエッチングして、ポリシリコン層23の頂部を露出させる。

【0052】図9(a)に示すように、WF₆ガスの雰囲気中でのドライエッチングにより、ポリシリコン層23の頂部を、n⁺ポリシリコン層5の頂部表面と底部表面との中間のレベルまでエッチングする。次に、二酸化シリコン層31を1000 nmの厚さまで成長させる。

【0053】図9(b)に示すように、CMP(chemical mechanical polish)法によりこの二酸化シリコン層31を研磨して、ポリシリコン層5の頂部を露出させて、ソースとなるべき部分にアクセスできるようにする。

【0054】次に、図9(c)に示すように、酸化層26、27にコンタクト窓32Dをエッチングして、ドレイン層3に外部電気接続ができるようにする。同時に、ゲート23に対してコンタクト窓32Gを開ける。これらのコンタクト窓は、図6(a)に示したデバイスの平面図に明確に見ることができる。

【0055】次に、領域28S、28Dおよび28Gのソース、ドレインおよびゲートに対して電気接続を行うために、スパッタリングにより金属層28を形成する。層28は、従来のスパッタリング技術により生成された、100 nm厚のチタンの初期層と、これを被覆する厚さ1000 nmのアルミニウム/シリコン(1%)の層とからなる。

【0056】図9(c)に示すように、個々の部分28D、28Sおよび28Gを設けるために、金属層28に電気絶縁間隔をエッチング形成する。

【0057】このようにして、部分28Sは、ソース領域5への接続を供する。部分28Gは、窓32Gを介して、多重チャンネルデバイスをもたらすピラー構造20を囲む層23への接続を供する。層23は、薄い酸化層24によりピラー構造20から絶縁され、ピラー構造2

0の側壁22に沿って延びたサイドゲートとして機能する。

【0058】多層構造3の層6, 7の成長中およびその後、ウェハ全体を数時間、900~1000°Cに加熱する。しかし、出来上がりのデバイスが十分に動作することを保証するために、大量ドーパされたソース領域5およびドレイン領域2からドーパントを層構造3のシリコン層6₂に移動させてはならない。本実施例では、層構造3内の窒化シリコンの最上および最下層7は層2, 5内のn⁺ドーパントに対する障壁として機能し、加熱処理中に、それらが多層構造3の中央領域へ拡散するのを防止する。

【0059】図6(a)は、トランジスタのアクティブ領域をX×Yとして示す。典型的にはX=Y=150nmである。X=Y<20nmのビラー寸法は、H. I. Lie, D. K. Biegelsen, F. A. Ponse, N. M. JohnsonおよびR. F. W. Pease, Appl. Phys. Lett. vol. 64, p 1383, 1994, およびH. Fukuda, J. L. Hoyt, M. A. McCordおよびR. F. W. Pease, Appl. Phys. Lett. vol 70, p 333, 1997に記載された自己制限酸化処理によって得ることができる。この処理において、10GPaにも達しうる、シリコンコア/酸化物界面の近傍の酸化物スキンにかかる大きな圧縮応力の結果として酸化レートのリターデーション(retardation)が生じ、これが自己制限効果(self-limiting effect)の原因となる。

【0060】このトランジスタ構造が基板上に占有する空間は小さく、サイドゲート23の構成は高電界領域を最小化し、かつ、我々の上記EP97305399.4号に記載の実施例において生じる基板上の空間のコンフリクトを最小化する、ということが理解されよう。

【0061】図7~図9を参照して説明した構成の原理を用いてサイドゲート構造のメモリセルを作成することもできることが理解されよう。すなわち、図6に示したドレイン領域2を、例えば30nmのポリシリコン層により置換して、上述のメモリノード10とすることができる。また、従来のソースおよびドレイン領域は、それ自体周知の方法でウェハ25に形成することができ、これによって、図3および図4(b)に示した領域17, 18に対応するソース領域およびドレイン領域が、両者間に伝導ソース・ドレイン経路を挟んだ形で設けられる。

【0062】次に、ビラー構造20の種々の変形例について説明する。これらは、本発明により製造されるトランジスタやメモリに異なる動作特性をもたらす。

【0063】図8は、通常オフのトランジスタおよび不揮発性メモリを設けるために利用しうるビラー構造の一例を示す。この構造は、図4(a)(b)に示した構成の変形例と考えることができ、図8では同じ参照符号を用いている。このビラー構造には、サイドゲート23および絶縁領域24が設けられる。

【0064】ビラー構造20は、典型的には二酸化シリコンまたは窒化シリコンである比較的厚い絶縁層7'を有する。この絶縁層は、二酸化シリコンでは3~30nmのオーダーの厚さであり、NH₃雰囲気中で300~500Wの高周波(RF)電力でプラズマ窒化処理により形成された窒化シリコンでは4~30nmの厚さである。厚さ50nmの真性シリコン層6'の間には絶縁層が挟み込まれる。このビラー構造のエネルギーバンドプロファイルを図11に示す。このエネルギーバンドプロファイルは、幅寸法が層7'の厚さに対応する、高さB'の比較的広い障壁8'を有する。

【0065】使用時、メモリとして構成された場合、本デバイスは高速の不揮発性ランダムアクセスメモリ(RAM)として動作する。なぜなら、ゲート23に対して外部ゲート電圧を印加する必要なく、絶縁層7'により生成されたエネルギー障壁8'がメモリノード10に蓄積された電子を保持するからである。このエネルギー障壁の高さB'は、窒化シリコンで2.0eVのオーダーであり、二酸化シリコンで3.0eVのオーダーである。

【0066】ゲート23にバイアス電圧が印加されると、エネルギー障壁B'は図11に破線で示すように下げられる。この効果を用いて障壁を下げることによりメモリノード10に電荷を書き込むことを可能とする。さらに、制御電極11に電圧を印加して図2(b)に示したようなポテンシャルの傾斜を得る(図11には示さず)。

【0067】その結果、電荷キャリアはノード10へ向かって移動する。窒化シリコン障壁7'の場合には、サイドゲート23に印加される電圧は3Vのオーダーであり、制御電極に印加される電圧は1Vのオーダーである。この構成では、電荷キャリアは、制御電極11からの経路に沿って絶縁層7'を通過し、メモリノード10へ達する。その後、電極11, 23から電圧が取り除かれると、電荷は障壁B'によりゲート電圧に保持され、その保持時間は10年のオーダーでありうる。したがって、このデバイスは高速不揮発性RAMとして動作する。

【0068】図11のビラー構造を、ソース5およびドレイン2を有するトランジスタ構成に用いた場合、このデバイスは通常オフのトランジスタとして動作する。

【0069】最上部電極5, 11および最下部領域2, 10の近傍に比較的薄い絶縁層7''を追加した変形例を図12に示す。これは図13に示すような対応したエネルギーバンド図に障壁8''を追加するものである。メモリとして使用されるとき、層7''は、絶縁層7''、制御電極11およびメモリノード10の付近に大量の電子が再分配(re-distribution)されるのを防止し、これにより、ノード10に電荷を書き込みまたは消去するようにゲート23および制御電極11に電圧が印加されたとき

の下方へのポテンシャル傾斜を改善する。図13のエネルギーバンド図は、制御電極11およびゲート23に書き込み電圧が印加された場合（それらの値は図10に関連した上述した）を示している。制御電極11へ電圧を印加することの効果は、制御電極11からメモリノード10へバンド図を下方傾斜させて、電子が障壁Bをトンネリングしながらこの傾斜をメモリノードへ向かって下降可能とすることである。ゲート電圧23の効果は、障壁Bの高さを下げることである。

【0070】障壁B'の効果は図13に示すとおりである。この障壁は、ゲート23に印加された電圧の結果として、破線の輪郭で示したレベルから低減される。ピラー構造20が前述のように窒化シリコン層6およびポリシリコン層7で形成される場合、追加する薄い層7''は典型的には1~2nmの厚さであり、ポリシリコン層6'の厚さは5~30nmのオーダーである。

【0071】図14に、スタティックランダムアクセスメモリ（SRAM）または従来のリフレッシュ回路を不要とするダイナミックランダムアクセスメモリ（DRAM）を製作するための他の変形例を示す。汎用のサイドゲートピラー構造は図4に示したものと同一であるが、薄いp型シリコン層33を追加している。この層は典型的には1~2nmの厚さであり、層6、7の形成の際に、従来の方法でLPCVD反応室内で形成することができる。層33に用いるドーパントは、 10^{18}cm^{-3} のドーパント濃度の硼素(boron)である。これによって、1.2Vのオーダーの組み込みポテンシャル障壁を生成し、その結果、ゲート電極23へバイアスを印加することなく、数分のオーダーの時間、メモリノード10に電荷を蓄積することができる。したがって、このメモリデバイスは、通常高速DRAMに必要とされる従来の高負担のリフレッシュ回路を必要としない。より長時間、情報を保持する必要があるならば、ゲート電極23に負のバイアス電圧を印加する。-1.0Vまたは-0.5Vのバイアス電圧により、それぞれ10年および1時間の間、保持できる。情報を読み書きするには、それぞれ、ゲート電極23に0.0Vおよび1.0Vのゲート電圧を印加する。ノードから情報を読み出すには、ソース17およびドレイン19（図14には図示せず）にソース・ドレイン電圧を印加して、その結果生じるソース・ドレイン電流を検出することは、上述の記載から理解されよう。この電流レベルは、メモリノード10に蓄積された電荷のレベルに依存する。

【0072】図16に、バンドギャップの不連続性(discontinuity)を得るために、より大きなエネルギーバンドギャップを有する材料で幾つかの領域6を形成した他の構成を示す。図16に示した実施例では、より薄い層6₂'が金属-半導体化合物（例えばSiC）のような広バンドギャップ材料で形成され、領域61は上述した方法でポリシリコンにより形成される。層6₂'を形成

する際には、ピラーを製造するのに用いられるLPCVD処理の間に適当なドーパントを導入することができる、ということが理解されよう。その結果得られるバンドエネルギープロファイルは図17に示すとおりである。層6₂'の領域でバンドエッジが持ち上げられており、これがバンドエッジ不連続性 ΔE_v をもたらす、ということが理解されよう。この例では、バンドエッジ不連続性は価電子バンドに形成されるが、適当な材料が使用され電子がキャリアとして用いられる場合には、不連続性は伝導バンドにおいても形成しうることが理解されよう。この例では、価電子バンド不連続性は0.5eVのオーダーである。これは、ゲート電極23にバイアスを印加することなく、1時間のオーダーで情報を保持するのに有効である。したがって、本メモリデバイスは、従来のDRAMのような高速リフレッシュ回路を必要としない。より長い時間情報を保持するためには、ゲート電極23に0.5Vの正のバイアスを印加することができる。これによって10年のオーダーの保持時間が達成される。情報を読み書きするには、ゲート電極23に対して-0.5Vおよび-1.5Vのバイアス電圧を印加する。この際の読み出しおよび書き込みは、上述した方法で実行される。

【0073】トランジスタとして利用する場合、図16のピラー構造は通常オフのトランジスタをもたらす。

【0074】図18に、サイドゲートピラー構造3の他の例を示す。この構造では、絶縁マトリクス35内に形成された一群の粒状半導体または伝導島34により障壁構造が得られる。この例では、マトリクス35は50nm厚のポリシリコン材料6の層間に挟み込まれる。島34は、シリコン、ゲルマニウム、非晶質（アモルファス）シリコンまたは金もしくはアルミニウムの金属ドットにより構成できる。ナノメータ・スケールの島を設けるための種々の異なる方法を以下に説明する。

【0075】1、Si-Ge-O混合膜からナノメータ・スケールのGeの晶子(crystallites)を分離する方法 Si-Ge-O混合膜は、高周波マグネトロンスパッタリング(RFMS)またはイオンビームスパッタリング(IBS)により設けた。スパッタリングターゲットは直径100mmの99.99%純度のSiO₂ガラスプレートからなり、その上に5mm角の幾つかの高純度Geチップを置いた。ターゲットからスパッタされた材料は、Si基板上に200nmの厚さで被着した。円形のSiO₂ガラスプレート上に分散させたGeチップの当該個数は、ターゲット上にスパッタされるGeの量を制御するために選択した。

【0076】RFMSの場合には、3mTorrの圧力のアルゴンガス雰囲気中で、1.25kW、13.56MHzの高周波電力でスパッタリングを実行した。IBSの場合には、0.3mTorrの圧力のアルゴンガス雰囲気中で、1kWの直流電源でスパッタリングを実行

した。

【0077】さらに詳細には、この工程は、まず、クライオポンプで 3×10^{-7} Torrの圧力まで空気を排出した成長室内で行った。次に、アルゴンガスを導入し、前述したスパッタリングのための電力を印加した。7分後に、Geで過飽和したターゲット上に SiO_2 ガラスが形成された。ついで、このサンプルをアルゴンガス中

表1

サンプル番号	アニーリング温度	アニーリング時間	平均直径
1	300°C	30分	4.2 nm
2	600°C	30分	6.0 nm
3	800°C	30分	6.5 nm

2、プラズマCVD法による水素化されたアモルファスシリコンの用意

この方法では、極めて薄い、水素化された非晶質シリコンを用意するために、容量結合高周波プラズマ化学気相成長(CVD)を用いた。成長室は、まず、反応ガスの導入の前に 10^{-7} Torrの圧力まで空気を排出した。反応室内の接地電極上に配置されたシリコン基板を250°Cの温度にまで加熱した。 SiH_4 および H_2 の混合ガスを、マスフローコントローラにより成長室内に導入した。ガスフローレートは、それぞれ、10および40 sccmとした。自動圧力コントローラで、0.2 Torrの気圧を維持した。成長時に PH_3 または P_2H_6 を導入することにより、置換ドーピング(substitutional doping)を行うことにより、それぞれn型およびp型の水素化された非晶質シリコンを得た。この例では、n型ドーパントとして、 H_2 内で希釈した、5 sccmまたは0.2% PH_3 を添加した。フォワード電力(forward power)を最大化して反射を最小限に抑えるように自動マッチングにより成長室内の電極に対して13.56 MHzの高周波電力を10 Wのレベルで印加し、これにより、室内にプラズマを確立した。この場合の成長レートは0.08 nm/secであった。この成長を50秒間行い、水素化された非晶質シリコンを含む4 nmの厚さの層を得た。

【0079】3、プラズマCVD法による微晶質シリコンの用意

微晶質(microcrystalline)シリコンを設けるために、容量結合高周波プラズマCVDを用いた。主反応室は、孤立させて、容易に開放できるシャッタにより、ロードロック室(load lock chamber)に接続した。このロードロック室を通して、主反応室へのサンプルのロードおよびアンロードを行った。室内の圧力は自動圧力コントローラにより決定した。反応ガスの導入前に、成長室は、ターボ分子ポンプにより、 10^{-7} Torrの圧力になるまで空気を排出した。成長層を受ける基板は、250°Cの温度にまで加熱された直径15 cmの接地電極上に配置した。電極の間隔は3 cmに固定した。 SiH_4 および H_2 の混合ガスを、マスフローコントローラにより成

で30分から4時間、300~800°Cでアニーリングした。その結果、Geのナノメータ・スケールの晶子がガラス内に分離された。Geチップの個数、アニーリング温度およびアニーリング時間は、クラス内に形成されたGeのナノ晶子の密度およびサイズを制御するように選定した。下の表は幾つかの例である。

【0078】

長室へ導入した。 SiH_4 および H_2 のガスフローレートは、それぞれ、1および100 sccmに選定した。この処理の間、自動圧力コントローラにより、ガス圧を0.15 Torrに維持した。同じプラズマ内で、成長工程中に、ホスフィンまたはジボランガスによる置換ドーピングを行って、それぞれn型およびp型非晶質シリコンを生成した。この例では、水素内で希釈した2 sccmまたは0.2%のホスフィンをもn型ドーパントとして添加した。AMCにより室内の電極に対して80 Wの電力を13.56 MHzで印加することにより、フォワード電力を最大化すると共に、反射電力を最小化した。成長レートは0.05 nm/secであった。この成長処理は80秒間行い、4 nm厚の微晶質シリコン層を得た。

【0080】4、プラズマCVD法による窒化シリコンおよび非晶質または微晶質シリコンの積層構造(stackin g structure)の用意

窒化シリコンまたは微晶質シリコンの層の積層構造は、非晶質または微晶質シリコンを生成する上述の第2または第3の方法を用いて実現することができ、散在した窒化シリコン層(interspersed silicon nitride layers)も、 SiH_4 、 NH_3 、および H_2 の混合ガスを用いることにより同様の方法で用意することができる。シリコン層と窒化シリコン層の間の汚染を防止するために、真空移送機構により結合された別々の成長室内で個々の膜を用意する。

【0081】5、他の方法によるシリコン膜の用意
非晶質および微晶質シリコン膜を用意するために使用しうる他の方法の例は次の通りである。すなわち、熱化学分解(thermal chemical decomposition)、光化学気相分解(photo-chemical vapour decomposition)、スパッタリング、イオンビーム成長、クラスタイオンビーム成長、および分子ビーム成長がある。これらの方法は、熱アニーリング、高速熱アニーリングおよびレーザアニーリングと組み合わせて、広範な微晶質シリコン構造を得ることができる。

【0082】具体的な一例において、シリコン粒子は絶縁粒子境界とともに形成され、その直径は3~10 nm

の範囲、好ましくは5 nm以下である。図18に模式的に示した結果構造においては、約0.5 Vの電流閾値が形成される。その結果、ゲート電極23にバイアスを印加することなく、数分のオーダーの時間、メモリノード10に情報を蓄積することができる。より長い時間情報を保持するには、ゲート電極23に対して-1.0 Vないし-0.5 Vのバイアス電圧を印加することにより、それぞれ10年および1時間の保持時間を達成できる。蓄積情報を読み書きするには、それぞれ0 Vおよび1 Vのゲートバイアス電圧をゲート電極23に対して印加する。

【0083】トランジスタとして用いる場合には、図18のピラー構造20は通常オフのトランジスタデバイスをもたらす。

【0084】上述した構造内の真性ポリシリコン層6の粒子サイズは3~10 nm程度に小さく形成することができることが理解されよう。熱窒化処理の間、粒子境界も窒化シリコンに変換して、粒子も2~3 nm厚の絶縁により囲まれるようにする。また、図18の導電および絶縁の複合層の構造は前述したピラー構造のいずれかとともに用いることも可能である。小さい粒子サイズは、荷電エネルギーおよび量子サイズ効果によってエネルギー障壁効果を向上させると共に、電子局在化を促進する。というのは、各トンネル接合の抵抗を接合面積の低下に伴って増加させることができるからである。また、電子-正孔対の生成による漏れ電流は、その生成された電子-正孔対が粒子領域内部で再結合するので、低減することができる。粒子外部での分離は、荷電エネルギーが増加するので、エネルギー的に好ましくないからである。

【0085】図18において、本デバイスはノード10および層6を有する。しかし、ノード10および層6を削除することができる。なぜなら、粒子34をノードとして利用することができるからである。ここで図19を参照するに、この図はサイドゲート構造の変形例を示す。これは、図4に示した構造の変形例と考えることができる。このデバイスでは、図4の絶縁酸化層22を半導体層36で置き換えることにより接合ゲートを形成する。図20に示した例では、領域36はp型シリコンからなる。ピラー構造20は、図4で前述したように、導電性のポリシリコン層6と絶縁性の窒化シリコン層7とを有する。サイドゲート23は、前述のようにポリシリコンで形成する。

【0086】p型領域36の効果は、図20に示すように、エネルギーバンドプロファイルにおいて1.0 Vのビルトインポテンシャル ϕ を生成することである。その結果として、このデバイスの電流閾値電圧は-0.1 Vのオーダーである。したがって、メモリデバイスとして使用する場合、従来のDRAMに比べてリフレッシュ動作の頻度を低減することができるので、低電圧動作を実

現できる。ゲート電極23に対して-1.6 Vおよび-1.1 Vの負のバイアス電圧を印加すると、それぞれ10年および1時間のオーダーでノード10への保持時間が得られる。ノード10に情報を読み書きするには、ゲート電極23に対してそれぞれ-0.8 Vおよび0.4 Vのゲートバイアス電圧を印加する。

【0087】トランジスタとして用いる場合には、図19のピラー構造20は通常オフのトランジスタデバイスをもたらす。

【0088】図21に、関連したショットキ・サイドゲート構造を有するピラー構造を示す。これは、図4の構造の変形例と考えることができる。図21の実施例では、絶縁層22を削除し、ピラー構造3に対して、その側壁22に直接金属サイドゲート37を追加し、これによりショットキゲートを構成している。

【0089】サイドショットキゲート37は、ピラー構造20内に0.4 Vに達する組み込みポテンシャル ϕ を生成する。その結果得られる電流閾値電圧は、0.3 Vのオーダーである。よって、メモリデバイスとして用いる場合には、低電圧動作を実現でき、リフレッシュ動作は従来のDRAMより低頻度でよい。ゲート電極37に対して-1.8 Vおよび-1.3 Vの負のバイアス電圧を印加すると、それぞれ、10年および1時間の保持時間が得られる。メモリノード10から情報を読み書きするには、-1.0 Vおよび0.2 Vのゲートバイアス電圧をゲート電極37に印加する。典型的な例では、ショットキ金属ゲート37はWSiまたはアルミニウムで形成される。図7~図9で説明した処理工程を適当に変更することにより適切な材料のショットキゲートが形成されることが理解されよう。

【0090】図22のピラー構造は、トランジスタ構造にも利用できる。すなわち通常ノーマリオンのトランジスタが得られる。

【0091】図19の接合ゲートおよび図21のショットキゲートは、前述したピラー構造（図4のピラー構造のみでなく）の任意のものと一緒に用いることができる、ということが理解されよう。

【0092】図23を参照して、本発明によるトランジスタデバイスを製造する他の方法を以下に説明する。開始材料は、図7~図9で前述した方法に用いたものと同じである。すなわち、図23(a)を参照するに、シリコンウェハ25を1000°Cで熱酸化することにより、600 nm厚の二酸化シリコンの層1を形成する。この層1は、絶縁基板として機能する。次に、この二酸化シリコン層1の上に、ドレインを形成するために用いられる層2を形成する。この層2は、反応室内でLPCVDにより成長させた100 nm厚のポリシリコンからなる。この層2の表面上に、10 nmのオーダーの厚さの薄い二酸化シリコン層（図示せず）を成長させる。次に、層2に対して砒素イオンを打ち込むことにより、n

ドーパ導電層を形成する。この層はドレインとして用いることができる。砒素イオンは、当該酸化層に対して25 KeVのオーダーのエネルギーで、かつ $3 \times 10^{15} \text{ cm}^{-2}$ の照射量で打ち込む。次に、この酸化層は、20:1 BHF溶液を用いてウェットエッチングにより除去する。その後、シリコン層6と窒化シリコン層7の積層体を成長させることにより、多層トンネル接合をもたらし多層構造3を形成する。最初、シリコン層61を比較的厚い厚さ $W1=50 \text{ nm}$ に形成し、ついで、積層体の大部分について $W2=5 \text{ nm}$ のオーダーの厚さの層6₂を形成する。この積層体の頂部に、少なくとも更に1層、厚さ $W1$ の層61を形成する。この例では、さらに、30 nmの厚さのシリコン層6₃を形成する。

【0093】層6、7は、LPCVD反応室内で形成する。この処理は、上記MoslehiおよびSaraswatに記載された様なシリコンの熱窒化処理を含む。

【0094】図7~図9で前述したように、層構造は、次のようにして順次組み上げられる。まず、LPCVD反応室内の770°Cの SiH_4 ガス中でシリコン層を成長させることにより、図23(a)への挿入図内に示した関連する層のための適当な厚さのシリコンを得る。その後、この成長したシリコンの表面を、直接、反応室内の1 Torrの100% NH_3 ガス状雰囲気中で20分間、930°Cで窒化シリコンに変換する。次に、この窒化シリコンの上に、別のシリコン層を同じ室内で成長させる。その結果、順次成長されたシリコン層の間に、二酸化シリコンを全く含まない純粋な窒化シリコンが形成される。

【0095】図23(b)において、層構造3の上に、熱酸化により、10 nm厚の二酸化シリコンの層38を形成し、160 nm厚の窒化シリコン層39を740°Cの温度で成長させる。

【0096】次に、図23(c)において、光学リソグラフィと、 CHF_3 およびアルゴンガスの雰囲気中でのドライエッチング法とを、それ自体既知の方法で用いて、層38、39をパターン化する。出来上がった構造は、図26に示す、横方向幅寸法AAおよび寸法Yの幅を有する。

【0097】図23(d)に示すように、次に、これらのパターン化された層38、39をマスクとして用いて多層構造3をドライエッチングすることにより、寸法AAの外側の層6、7の大部分を除去し、マスクパターンの外側に構造3の約30 nmの厚さを残す。次に、この領域3の残存部分を熱酸化により二酸化シリコンに変換して領域40を形成することにより、同じ基板1状に本発明の方法により形成される隣のトランジスタ(図示せず)と絶縁する。この電気絶縁領域40を図23(e)に示す。

【0098】図24(a)において、次に、160°Cのオルトリン酸と20:1 BHF溶液とを用いて、窒化

シリコン層38および二酸化シリコン層39を除去する。ついで、LPCVDにより100 nmの厚さのポリシリコン層5を成長させる。この層5の表面上に、10 nmのオーダーの厚さの薄い二酸化シリコン層(図示せず)を成長させる。この酸化層に対して、 $5 \times 10^{15} \text{ cm}^{-2}$ の照射量かつ25 KeVのエネルギーで砒素イオンを打ち込むことにより、シリコン層5を、トランジスタのソースとして利用するための大量ドーパn型層に変換する。次に、800°Cの熱アニーリングを1分間行うことにより、砒素イオンを活性化すると共に、層5に大量ドーパされた電気的特性を得る。次に、層5の上に100 nm厚の二酸化シリコン層41を成長させる。

【0099】図24(b)において、電子ビームリソグラフィとドライエッチングとを用いて二酸化シリコン層41をパターン化することにより、幅Xの細長い領域を設ける。この領域は、トランジスタのソースの範囲を定めるマスクを定めるために利用される。

【0100】図24(c)において、エッチングされた層41の部分の下を除いて、層構造3の約30 nmの厚さを残して、ポリシリコン層5および多層構造3を CF_4 ガス内でエッチングする。

【0101】図24(d)に示すように、熱酸化により、それぞれ約10 nmおよび50 nmの厚さの二酸化シリコン層領域24、26を酸化させることにより、多層構造3のエッチングされた部分およびn型のソースおよびドレイン領域5、2の露出部分を被覆する。大量ドーパ領域5、2上の二酸化シリコン26の厚さは、SELOCs処理のため、層構造3の真性シリコン上の酸化物24の厚さより大きい。

【0102】図24(e)に示すように、LPCVDにより、10 nm厚のポリシリコン層23'を成長させる。この層23'の表面上に、10 nmのオーダーの厚さの薄い二酸化シリコン層(図示せず)を成長させる。この酸化層に対して、 $5 \times 10^{15} \text{ cm}^{-2}$ の照射量かつ25 KeVのエネルギーで砒素イオンを打ち込むことにより、ポリシリコン層23'を大量ドーパn型層に変換する。次に、800°Cで1分間の熱アニーリングを行うことにより、砒素イオンを活性化すると共に、層23'内に大量ドーパn型電気特性を得る。この層23'は後に、デバイスのゲートを形成するために使用される。次に、光学リソグラフィと CF_4 ガス雰囲気中でのドライエッチング法を用いて、この層23'をパターン化する。ついで、図25(a)に示すように、本デバイス上に1000 nmの厚さの二酸化シリコン層42を成長させ、酸化層42、26にコンタクト窓32Dをエッチング生成することにより、ドレイン層2に対する電気接続を可能とする。このコンタクト窓32Dは、光学リソグラフィと、20:1 BHF溶液を用いたウェットエッチングとにより形成する。この処理の一部として、ゲート23'のためにコンタクト窓32Gを形成する。

【0103】図25(b)に示すように、スパッタリングにより金属層28を形成して、ゲートおよびドレインへの電気接続を行う。この層28は、100nm厚のチタンの初期層と、従来のスパッタリング技術で生成された1000nmのアルミニウム/シリコン(1%)の被覆層とからなる。図25(b)に示すように、層28に電気絶縁空間43をエッチング形成することにより、第1および第2のコンタクト部28D、28Gを設ける。これらは、それぞれコンタクト窓32D、32Gを介してゲート領域およびドレイン領域への接続をもたらす。

【0104】図26に、出来上がったデバイスの概略平面図を示す。図26から、コンタクト窓32D、32Gを形成した図25(a)で説明した処理工程は、二酸化シリコン被覆層41にコンタクト窓32Sを形成するのにも利用でき、これによって、ソースを構成する大量ドーパント領域5への外部電気接続が行える。さらに、絶縁ギャップ43を形成する際、図4に示した絶縁ギャップ44も形成することにより、スパッタされた金属コンタクト層28の部分28Sを定める。これにより、コンタクト窓32Sを介してソース5に対する電気接続が行える。

【0105】多層構造3の層6、7の成長の途中およびその後、ウェハ全体を数時間900~1000°Cに加熱する。しかし、出来上がりのデバイスが首尾良く動作することを保証するために、大量ドーパされたソース領域5およびドレイン領域2からドーパントを層構造3のシリコン層6₂に移動させてはならない。本実施例では、窒化シリコンの最上および最下層7は層2、5内のn⁺ドーパントに対する障壁として機能し、加熱処理中に、それらが多層構造3の中央領域へ拡散するのを防止する。図4は、トランジスタのアクティブ領域をX×Yとして示す。典型的にはX=50nm、Y=200nmである。

【0106】再度図25(b)を参照するに、エッチングされた多層構造3は、ドレイン領域2から直立したビラー20を形成することが分かる。領域23'は、ビラー20の側壁21に沿って拡がったサイドゲートとして機能する。コンタクト領域28Gに対してゲート電圧を印加すると、制御電界がサイドゲートからその側壁22を介して層構造3に印加され、これによって、前述した方法で、そのトンネル障壁構造が制御される。この制御電界は実質的に側壁22を介してのみ印加され、ビラー構造の頂部表面21からは有為な電界は印加されない。領域23'はビラーをまたぐが、この領域は、ソース領域5とこれを覆う絶縁層41の厚さ分だけビラー頂部表面21から離れており、よって、当該頂部表面からは有為な電界は印加されない。この説明した構造は次の利点を有する。すなわち、ゲート電界が側壁から印加されるので、ゲートとドレインとの間の高い電界領域が実質的に低減され、これによって、トランジスタのソース・ド

レイン特性が改善される。

【0107】図24、図25、図26を参照して説明したデバイスは他の多層構造3を用いることにより、例えば図10~図21を参照して前述した方法で、ビラー構造20を形成してもよい。

【0108】さらに、図24、図25を参照して説明したサイドゲート構造は、トランジスタでなくメモリデバイスにも利用できることが理解されよう。メモリデバイスでは、ドレイン領域2はポリシリコンまたは同様の導電メモリノード10によって置き換えられ、前述した領域17、18に対応するソースおよびドレイン領域がデバイス基板に形成される。

【0109】前述した構造において、電子が主としてビラーの表面領域を伝導するように設計することができる。この構成では、動作がMOSトランジスタに類似したものになり、ビラーの横寸法による影響をあまり受けなくなる。電子がビラーの表面領域および中心領域の両方を伝導するように設計することも可能である(特に、横寸法の小さいビラーにおいて)。

【0110】前述した構造は、平面図である図27および図27のIII-III'線での断面図である図28に示すように、横方向に配列することができる。ゲート電極11Gは多重トンネル接合内に電界を誘起し、これにより、ソースとドレインとの間の電子移動を制御する。このゲートは、ソースおよびドレインコンタクト領域と重複していない。この構造においては、ラテラルパターン化(lateral patterning)によりゲート領域を設計でき、製造プロセスを簡略化できる。

【0111】このデバイスの製造方法を、以下、図28を参照して詳細に説明する。開始材料はシリコンウェハ25からなり、これを1000°Cで熱酸化することにより、600nmの厚さのSiO₂の層1を形成する。これは絶縁基板として機能する。次に、SiO₂層1上に、ドレインの生成に用いられる層2を形成する。この層2は、LPCVDにより成長させた100nmの厚さのポリシリコンからなる。この層の表面上に、10nmのオーダーの厚さの薄い二酸化シリコンを成長させる。次に、層2に対して砒素イオンを打ち込むことにより、n⁺ドーパ導電層を形成する。この層はドレインとして用いることができる。砒素イオンは、当該酸化物層(図示せず)に対して、25KeVのオーダーのエネルギーで、かつ3×10¹⁵cm⁻²の照射量で打ち込む。10nmの酸化物およびシリコン層2は光学リソグラフィとドライエッチングとによりパターン化する。ついで、厚さ60nmの酸化シリコン層51を成長させ、この酸化物層51および10nm酸化物にコンタクト窓55をエッチング形成することにより、ドレイン層2に対する電気接続を可能にする。このコンタクト窓55は、光学リソグラフィと、20:1BHF溶液を用いたウェットエッチングとにより形成する。

【0112】その後、前述したと同じ方法で、シリコン層および窒化シリコン層の積層体を成長させることにより、多重トンネル接合をもたらし多層構造3を形成する。この多層構造3を光学リソグラフィとドライエッチングとによりパターン化する。

【0113】次に、60nm厚の酸化シリコン層52を成長させ、この酸化物層52にコンタクト窓56をエッチング形成することにより、電氣的接続を可能とする。コンタクト窓56は、光学リソグラフィと、20:1BHf溶液を用いたウェットエッチングとにより形成する。

【0114】次に、ソースを設けるために用いる層5を形成する。この層5は、LPCVDにより成長させた100nm厚のポリシリコンからなる。層5の表面上に、10nmのオーダーの厚さの薄い二酸化シリコン層を成長させる。次に、層5に対して砒素イオンを打ち込むことにより、 n^+ ドープ導電層を形成する。この層はソースとして用いることができる。砒素イオンは、当該酸化物層（図示せず）に対して、25KeVのオーダーのエネルギーで、かつ $3 \times 10^{15} \text{ cm}^{-2}$ の照射量で打ち込む。ついで、10nm酸化物およびシリコン層5を、光学リソグラフィとドライエッチングとによりパターン化する。

【0115】厚さ60nmの酸化シリコン層53を成長させ、酸化物層53、52にゲート窓54をエッチング形成する。このゲート窓54は、光学リソグラフィと、20:1BHf溶液を用いたウェットエッチングとにより形成する。ついで、10nmの二酸化シリコン層54を熱酸化により形成する。

【0116】次に、酸化物層51、52、53にコンタクト窓32Dをエッチング形成することにより、ドレイン層2に対する電気接続を可能とする。このコンタクト窓32Dは、光学リソグラフィと、20:1BHf溶液を用いたウェットエッチングとにより形成する。同時に、コンタクト窓32Sをソース5に対して形成する。

【0117】次に、図25(b)で説明したと同じ方法で、金属化およびパターン化を行うことにより、図27、図28に示した構造を完成する。

【0118】図27、図28を参照して説明したデバイスは、他の多層構造3を、例えば図10～図21を参照して前述したように、利用してもよい。また、ドレイン2をメモリノードにより置換することにより、トランジスタではなくメモリデバイスを設けてもよい。

【0119】本発明の範囲内における多くの他の変形・変更は、当業者には明らかであろう。例えば、上記実施例では、多層構造3の絶縁層を設けるために窒化シリコンを用いたが、酸化シリコンや他の絶縁材料の膜を用いることも可能である。また、 n 型領域および p 型領域は相互に交換することができ、使用するドーパントの型を変えることもできる。例えば、 p 型のゲートとともに、

n 型のソースおよびドレイン（またはメモリノード）を使用することが可能である。

【図面の簡単な説明】

【図1】従来のトランジスタ構造の概略断面図である。

【図2】(a)(b)は、異なるバイアス条件下での、図1に示したトランジスタのエネルギー図である。

【図3】従来のメモリデバイスの断面図である。

【図4】(a)は本発明によるトランジスタデバイスの概略断面図であり、(b)は本発明によるメモリデバイスの概略断面図である。

【図5】図4(a)(b)に示したデバイスのエネルギーバンド図である。

【図6】(a)は本発明によるトランジスタデバイスの概略平面図であり、(b)は(a)のトランジスタデバイスの線I-I'に沿った概略断面図である。

【図7】(a)(b)は図6に示したトランジスタデバイスを製造するための製造工程を示す図である。

【図8】(a)～(c)は図6に示した製造工程に続く製造工程を示す図である。

【図9】(a)～(c)は図8に示した製造工程に続く製造工程を示す図である。

【図10】本発明によるデバイスにおいて使用される、変形されたピラー構造を示す図である。

【図11】図10に示したデバイスのエネルギーバンド図である。

【図12】本発明によるデバイスに使用するための他のピラー構造を示す図である。

【図13】図11に示したデバイスのエネルギーバンド図である。

【図14】本発明によるデバイスに使用するための他のピラー構造を示す図である。

【図15】図14に示したデバイスのエネルギーバンド図である。

【図16】本発明によるデバイスに使用するためのピラーの他の実施例を示す図である。

【図17】図16に示したデバイスのエネルギーバンド図である。

【図18】本発明によるデバイスに使用するための別のピラー構造を示す図である。

【図19】接合ダイオードサイドゲートを内蔵した、本発明によるデバイスに使用するピラー構造のさらに他の実施例を示す図である。

【図20】図19に示したデバイスのエネルギーバンド図である。

【図21】ショットキゲートを用いるサイドゲート構造の説明図である。

【図22】図21のデバイスのエネルギーバンド図である。

【図23】本発明によるトランジスタデバイスの他の実施例を製造するための処理工程図である。

に沿った断面図である。

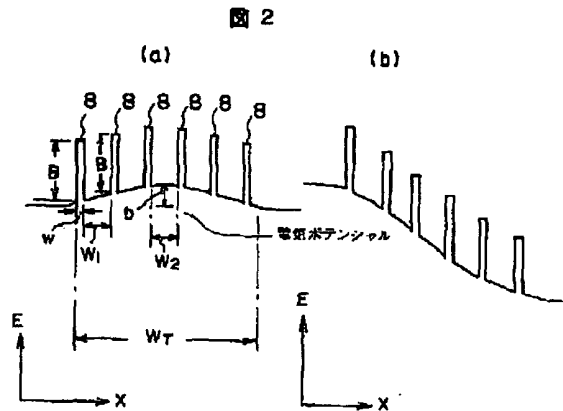
【符号の説明】

1…基板、2…ドレイン領域、3…層構造、4…ソース領域、5…ドレイン領域、6…ポリシリコン層、7…絶縁層、8…障壁、10…メモリノード、11…制御電極、20…ピラー構造、23…サイドゲート、21…頂部表面、22…側壁。

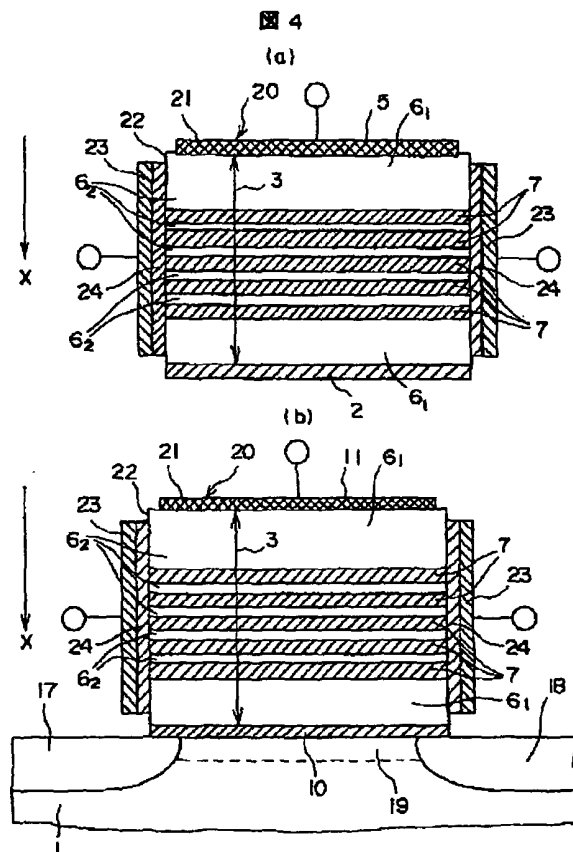
部表面、2 2…側壁。

部表面、2 2…側壁。

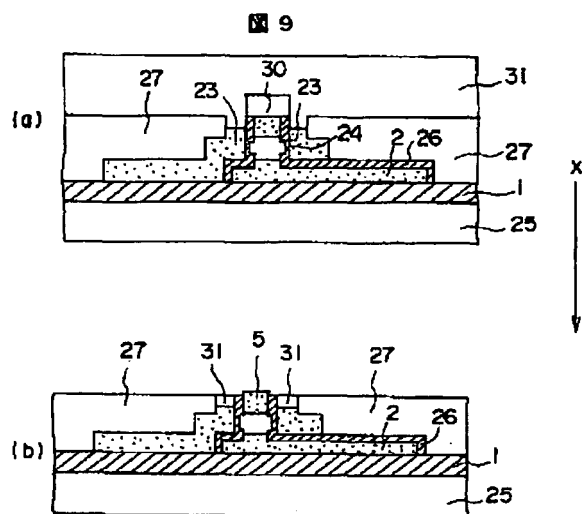
【図 2】



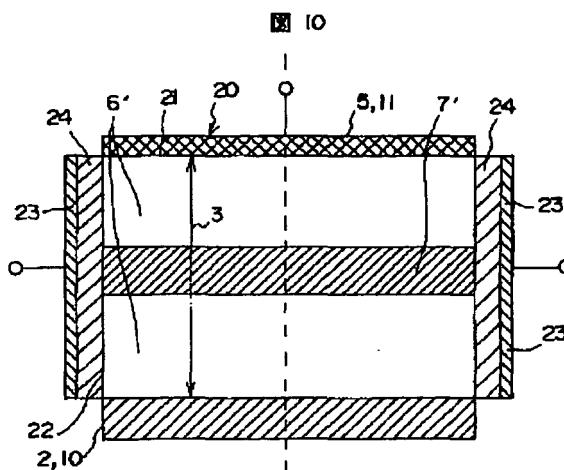
【図4】



【図 9】

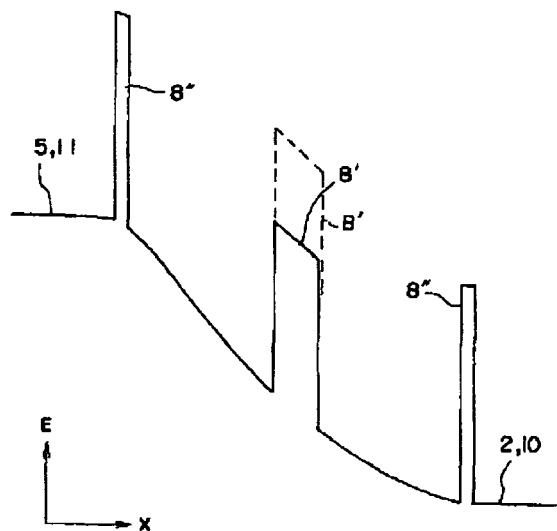


【図 10】

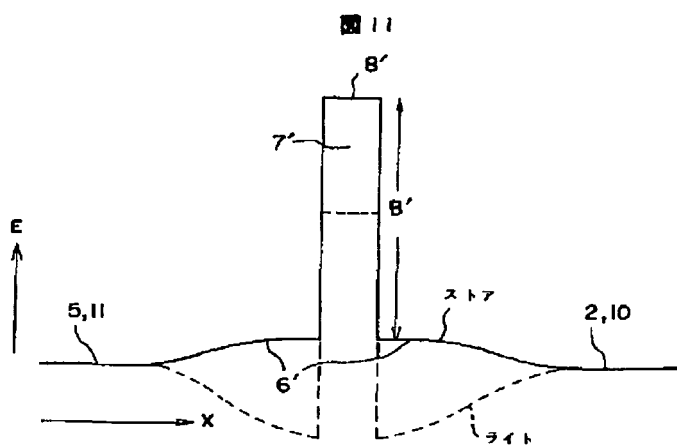


【図 13】

図 13

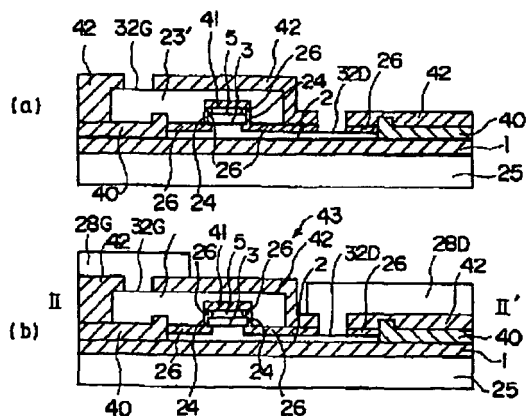


【図 11】

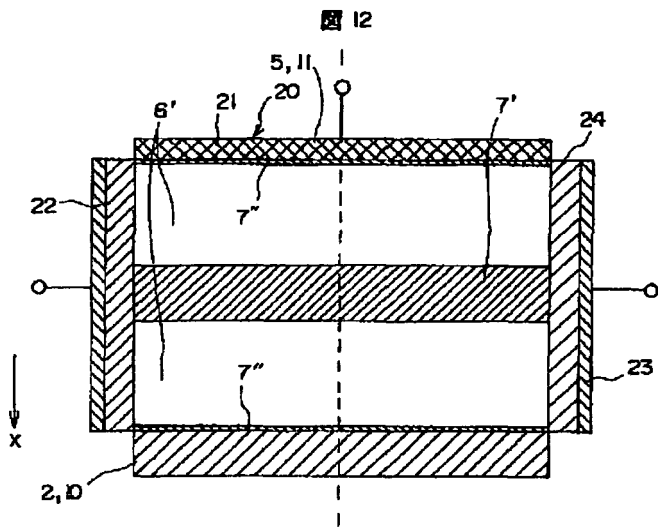


【図 25】

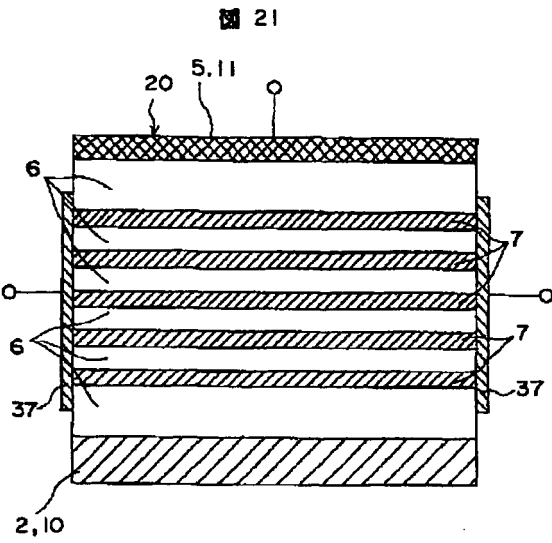
図 25



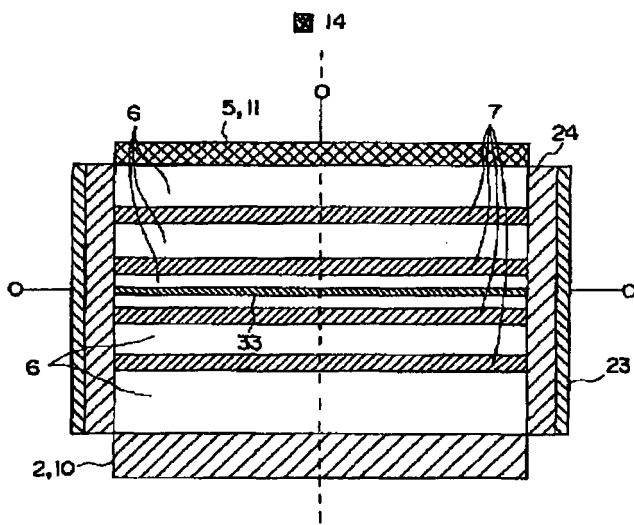
【図 12】



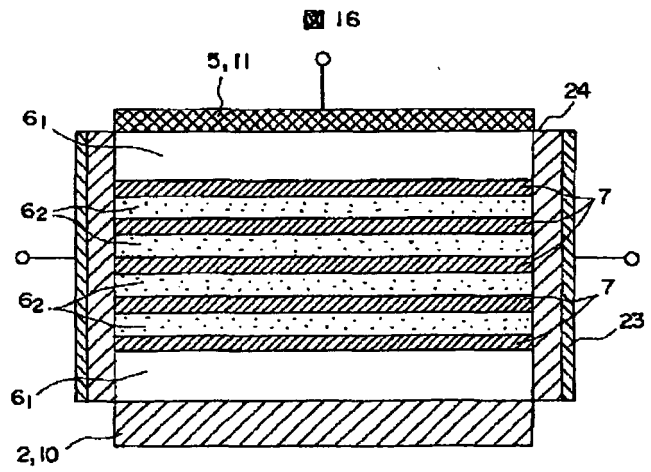
【図 21】



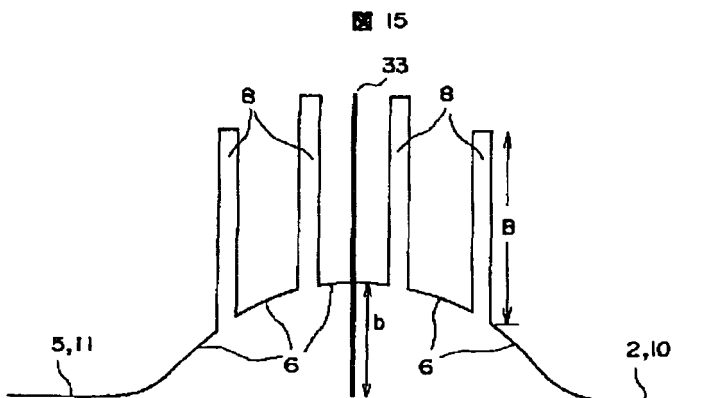
【図 14】



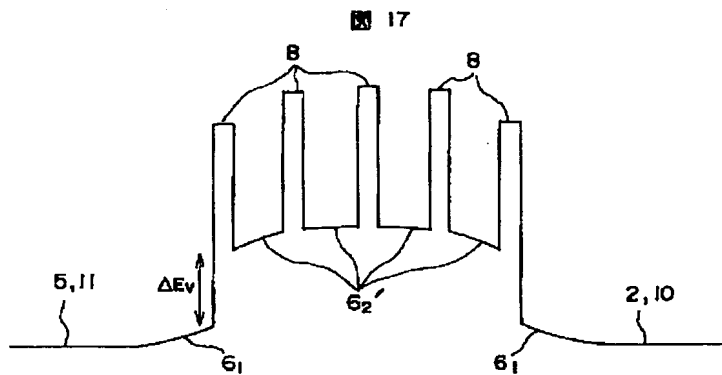
【図 16】



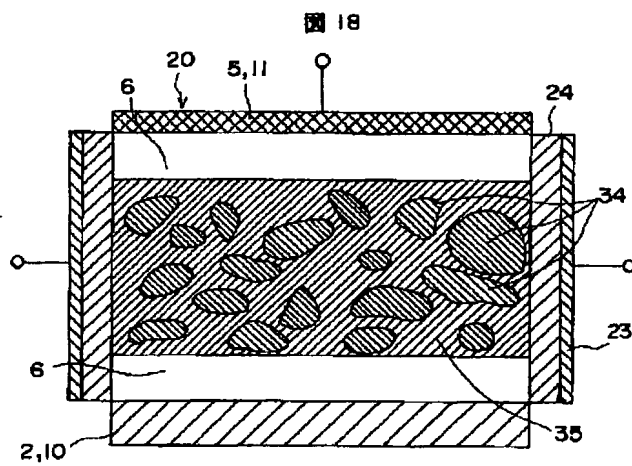
【図 15】



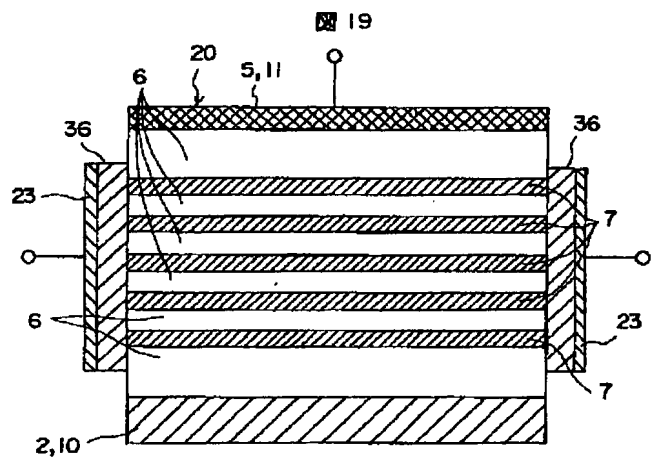
【図 17】



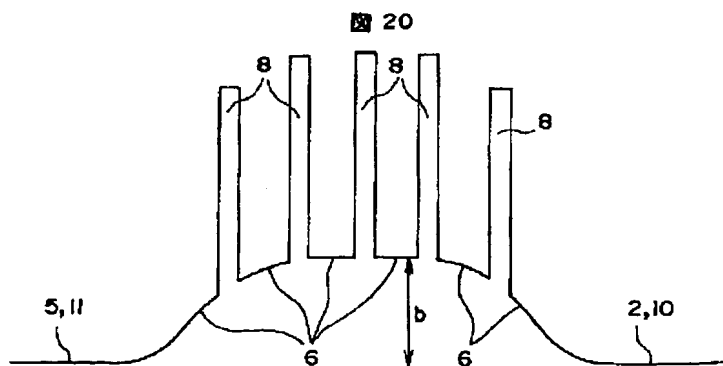
【図 18】



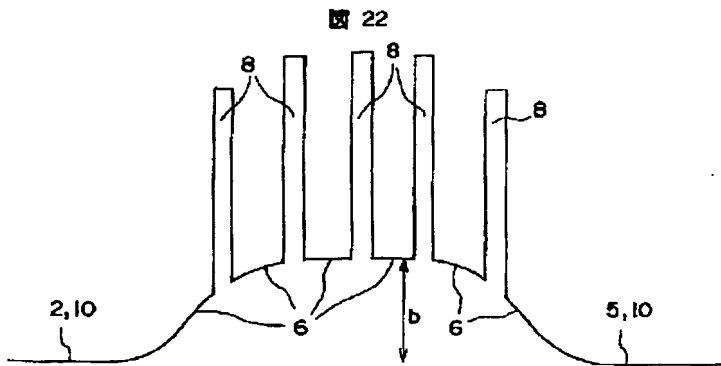
【図 19】



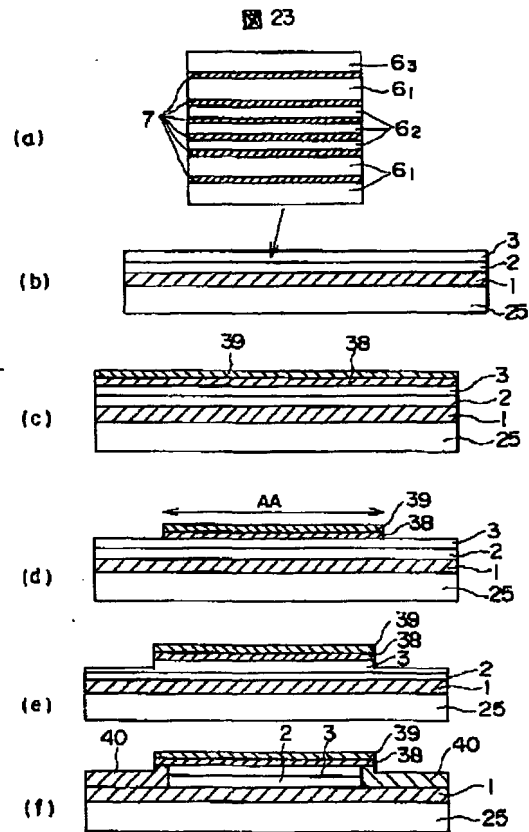
【図 20】



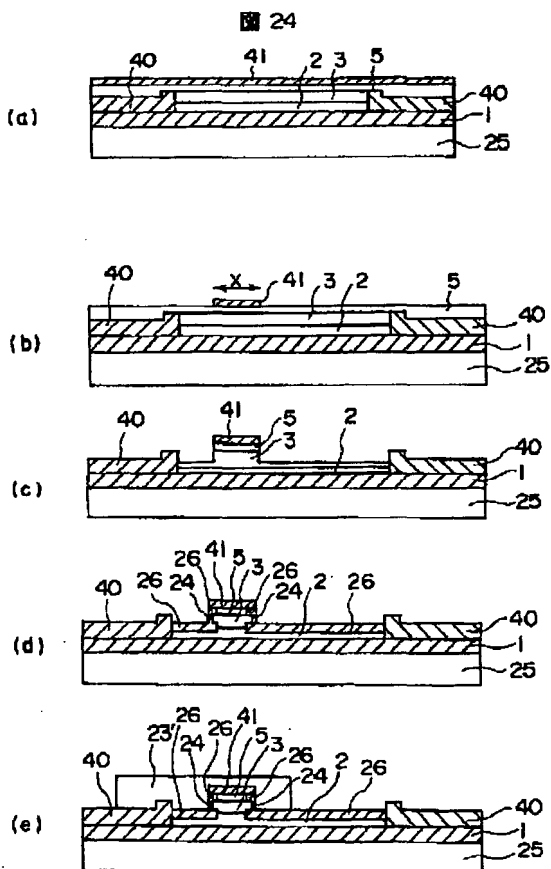
【図 22】



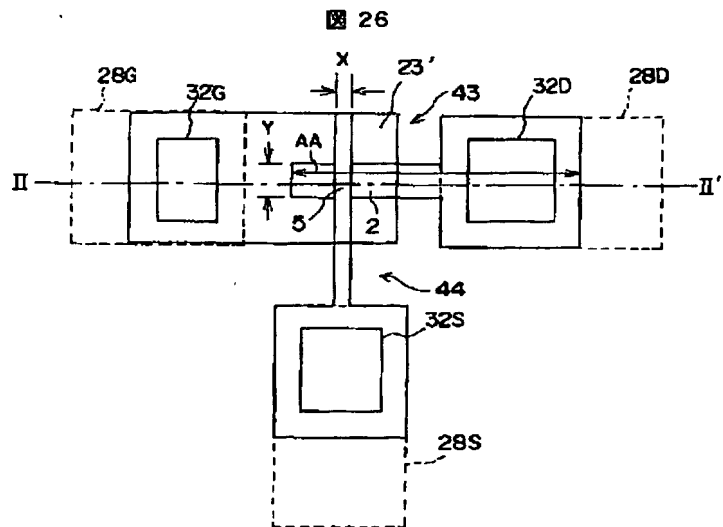
【図 23】



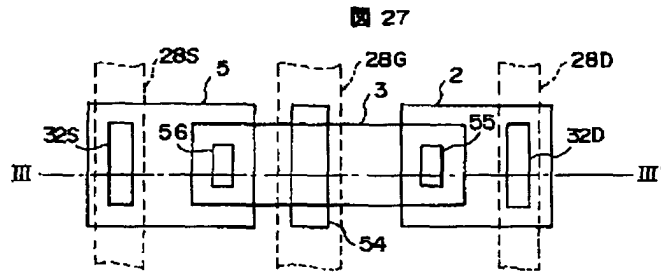
【図 24】



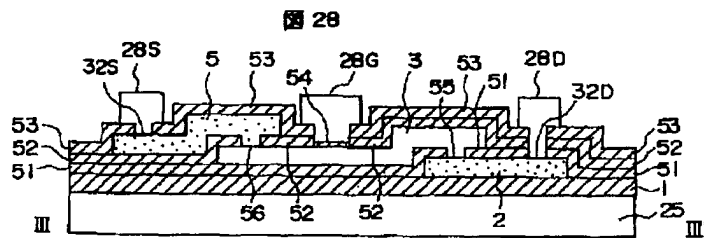
【図 26】



【図 27】



【図 28】



51 100nm SiO₂
 52 100nm SiO₂
 53 100nm SiO₂
 54 10nm SiO₂
 55 ドレインコンタクト
 56 ソースコンタクト

【手続補正書】

【提出日】平成9年11月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】本デバイスは、トランジスタまたはメモリデバイスとして構成することができる。よって、前記制御素子はソース領域およびドレイン領域であってよく、または、それらの一方はメモリノードであってもよい。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】メモリノード10は、従来のドーピング技術により基板内に打ち込まれたソース17およびドレイン18の間の電流フローを制御するための電界効果(field effect)ゲートとして機能する。伝導経路19はソース17とドレイン18の間に延び、その伝導度は、メモ

リノード10に蓄積された電荷のレベルに依存して変化する。制御電極11とメモリノード10の間に多重トンネル接合を設けるために多層構造3を用いることは、ノード10からの漏れ電流を極端に小さくする。しかし、ゲート電極15は制御電極11の下で効果的にポテンシャル障壁構造を上げたり下げたりせず、ゲート領域とメモリノード10との間の領域の電界を上げる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0077

【補正方法】変更

【補正内容】

【0077】さらに詳細には、この工程は、まず、クライオポンプで 3×10^{-7} Torrの圧力まで空気を排出した成長室内で行った。次に、アルゴンガスを導入し、前述したスパッタリングのための電力を印加した。7分後に、Geで過飽和したターゲット上にSiO₂ガラスが形成された。ついで、このサンプルをアルゴンガス中で30分から4時間、300～800℃でアニーリングした。その結果、Geのナノメータ・スケールの晶子

がガラス内に分離された。Geチップの個数、アニーリング温度およびアニーリング時間は、ガラス内に形成されたGeのナノ晶子の密度およびサイズを制御するように選定した。下の表は幾つかの例である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0090

【補正方法】変更

【補正内容】

【0090】図21のピラー構造は、トランジスタ構造にも利用できる。すなわち通常ノーマリオンのトランジスタが得られる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0104

【補正方法】変更

【補正内容】

【0104】図26に、出来上がったデバイスの概略平面図を示す。図26から、コンタクト窓32D、32Gを形成した図25(a)で説明した処理工程は、二酸化シリコン被覆層41にコンタクト窓32Sを形成するのにも利用でき、これによって、ソースを構成する大量ドープn型領域5への外部電気接続が行える。さらに、絶縁ギャップ43を形成する際、図26に示した絶縁ギャップ44も形成することにより、スパッタされた金属コンタクト層28の部分28Sを定める。これにより、コンタクト窓32Sを介してソース5に対する電気接続が行える。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0110

【補正方法】変更

【補正内容】

【0110】前述した構造は、平面図である図27および図27のIII-III'線での断面図である図28に示すように、横方向に配列することができる。ゲート電極28Gは多重トンネル接合内に電界を誘起し、これにより、ソースとドレインとの間の電子移動を制御する。このゲートは、ソースおよびドレインコンタクト領域と重複していない。この構造においては、ラテラルパターン化(lateral patterning)によりゲート領域を設計でき、製造プロセスを簡略化できる。

【手続補正7】

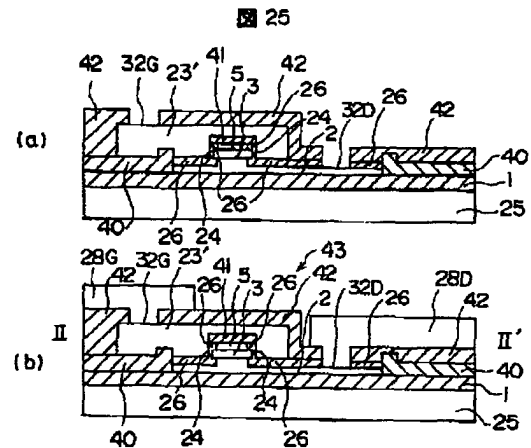
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図25】



【手続補正書】

【提出日】平成10年2月6日

【手続補正7】

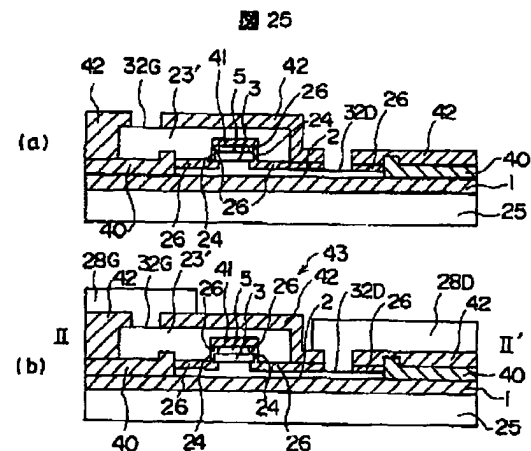
【補正対象書類名】図面

【補正対象項目名】図25

【補正方法】変更

【補正内容】

【図25】



フロントページの続き

(51)Int.Cl. ⁶	識別記号	F I	H O 1 L 29/78	6 2 2
	21/336		29/80	V
	29/80			
(72)発明者	水田 博 イギリス国、ケンブリッジ シー・ビー・ 3 0 エイチ・イー、マディングレー ロード (番地なし) キャベンディッシュ ラボラトリー、ヒタチ ケンブリッジ ラボラトリー、ヒタチ ヨーロッパ リミ テッド内	(72)発明者	角南 英夫 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内	
(72)発明者	嶋田 壽一 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内	(72)発明者	伊藤 清男 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内	
		(72)発明者	手嶋 達也 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内	
		(72)発明者	峰 利之 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内	

【外国語明細書】

- 2 -

Controlled Conduction Device

This invention relates to a controllable conduction device for use in a memory or a transistor structure.

5 In our EP 96308283.9 filed on 15 November 1996, (Art 54(3) EPC) there is described a memory device which includes a memory node to which charge is written through a tunnel barrier configuration from a control electrode. The stored charge affects the conductivity of a source-drain path and data is read
10 by monitoring the conductivity of the path. The charge barrier configuration comprises a multiple tunnel barrier which may comprise alternating layers of polysilicon of 5nm thickness and layers of silicon nitride of 2nm thickness, overlying a polycrystalline layer of silicon, part of which acts as a memory node. Alternative barrier configurations are described including conductive
15 nanometre scale conductive islands which act as a memory node, distributed in an insulating matrix. The advantage of the tunnel barrier configuration is that it reduces leakage current from the memory node without degrading the reading and writing times for the memory. Different types of memory device are described. In a first type, charge carriers from a control electrode pass
20 through the tunnel barrier configuration to the memory node in response to a voltage applied to the control electrode. In a second type of device, an additional gate is provided for the tunnel barrier configuration in order to control the transfer of charge carriers from the control electrode to the memory node.

25 The charge barrier configuration can also be used in a controlled conduction device such as a transistor, as described in our EP 97305399.4 filed on 18 July 1997 (Art 54(3) EPC). The tunnel barrier configuration is used to provide a conductive path between a source and drain. When switched on, charge
30 carriers can flow between the source and drain, but when switched off, the barrier configuration inhibits charge leakage through the path. A large on/off current ratio is thus obtained.

. 2 .

The present invention relates to a number of inventive improvements and modifications to the aforementioned devices.

Considering the second type of memory device disclosed in our EP
5 96308283.9 *supra*, the tunnel barrier configuration is arranged as an upstanding
pillar, with the control electrode overlying it. The additional gate applies an
electrostatic field, primarily from above, downwardly through the pillar
structure in order to write charge onto the memory node. The configuration
of the gate of the transistor disclosed in EP 97305399.4 *supra* is configured in a
10 similar way, so as to apply an electrostatic field downwardly into the pillar
structure. In this configuration, a high electric field is applied between the
gate and the memory node in the case of the memory device, or between the
gate and the drain, in the case of the transistor. This high electric field causes
electron-hole pairs to be produced, and an accumulation of carriers near the
15 gate structure, which screens the confinement potential.

In order to overcome these problems, the invention in a first aspect provides a
controllable conduction device comprising an upstanding pillar structure
having a side wall and a top surface, the structure being formed of regions of
20 relatively conductive and non-conductive material such that in a first
condition, charge carrier flow can occur through the pillar structure and in a
second condition the regions present a tunnel barrier configuration that
inhibits charge carrier flow through the pillar structure, and a side gate
structure alongside the side wall of the pillar structure, configured to apply an
25 electric field through the side wall into the pillar structure to control electrical
conductivity therein.

The device according to the invention can be used in a memory that includes
a memory node to receive charge carriers that pass along a path through the
30 pillar structure. The side gate can be operated to control charge carrier flow
along the path so as to control the charge stored in the node.

- 3 -

The device can also be operated as a transistor in which source and drain regions are provided so as to provide a source-drain charge carrier flow path through the pillar structure, with the side gate being operated to control charge carrier flow along the path.

The side gate structure may comprise a Schottky gate or a junction gate.

One embodiment of the memory device described in EP 96308283.9 *supra* is non-volatile. The barrier configuration includes an insulating silicon nitride barrier of 5nm thickness disposed between non-doped silicon layers of 30 nm thickness. The resulting energy band profile is such that charge stored on the memory node is retained by the resulting barrier configuration when no control voltages are applied to the memory device.

The present invention provides an improved non-volatile configuration. In accordance with the invention from a further aspect there is provided a memory device comprising a barrier structure formed of regions of relatively conductive and non-conductive material such that in a first condition, charge carrier flow can occur through the pillar structure and in a second condition the regions present a tunnel barrier configuration that inhibits charge carrier flow through the structure, a memory node to receive charge carriers that pass along a path through the structure, and a control electrode for supplying charge carriers to the path so as to pass through the structure to be stored at the node, wherein the regions of non-conductive material are configured so as to provide an energy band profile that comprises dimensionally relatively narrow barrier components adjacent the memory node and the control electrode respectively, and a dimensionally relatively wide barrier component between the narrow barrier components, the barrier components being configured such as to provide non-volatile charge storage at the node.

One embodiment of the transistor described in our EP 97305399.4 *supra*, comprises a lateral structure. The source and drain are spaced apart laterally,

with the gate between them.

The present invention in another aspect, provides an improved device of this general lateral configuration. In accordance with the invention from a further
5 aspect there is provided a controllable conduction device comprising a substrate, control elements spaced apart laterally on the substrate, a channel structure electrically connected to and extending between the control elements, the channel structure being formed of regions of relatively
10 conductive and non-conductive material such that in a first condition, charge carrier flow can occur through the structure and in a second condition the regions present a tunnel barrier configuration that inhibits charge carrier flow, and a gate region configured to apply an electric field into the channel structure to control electrical conductivity therein, the channel structure being
15 configured so as to lip under one of the control elements and lip over the other of the control elements on the substrate.

The device may be configured as a transistor or a memory device. Thus, the control elements may comprise source and drain regions, or one of them may comprise a memory mode.

20

In order that the invention may be more fully understood, embodiments thereof will now be described by way of example with reference to the accompanying drawings, in which:

Figure 1 is a schematic cross section of a prior transistor structure;

25 *Figure 2a and 2b are energy diagrams for the transistor shown in Figure 1 under different bias conditions;*

Figure 3 is a cross section of a prior memory device;

Figure 4a illustrates a transistor device in accordance with the invention, in schematic cross section;

30 *Figure 4b illustrates a memory device in accordance with the invention, in schematic cross section;*

Figure 5 illustrates an energy band diagram for the devices shown in Figure 4a

and 4b;

Figure 6a is a schematic plan view of a transistor device in accordance with the invention;

Figure 6b is a schematic sectional view of the transistor device of Figure 6a,

5 taken along the line I-I';

Figures 7a - h illustrate the various fabrication steps for manufacturing the transistor device shown in Figure 6;

Figure 8 illustrates a modified pillar structure for use in a device in accordance with the invention;

10 Figure 9 is an energy band diagram for the device shown in Figure 8;

Figure 10 illustrates a further pillar structure for use in a device according to the invention;

Figure 11 illustrates an energy band diagram for the device shown in Figure 10;

15 Figure 12 illustrates a further pillar structure for use in a device according to the invention;

Figure 13 illustrates the energy band diagram for the device of Figure 12;

Figure 14 illustrates a further embodiment of a pillar for use in a device according to the invention;

20 Figure 15 illustrates the energy band diagram for the device of Figure 14;

Figure 16 illustrates an alternative pillar structure for use in a device according to the invention;

Figure 17 illustrates yet a further embodiment of pillar structure for use in a device according to the invention, which incorporates a junction diode side

25 gate;

Figure 18 illustrates the energy band diagram for the device of Figure 17;

Figure 19 illustrates a side gated structure utilising a Schottky gate;

Figure 20 illustrates the energy band diagram for the device of Figure 19;

Figure 21a - l illustrate the process steps for manufacturing another

30 embodiment of transistor device in accordance with the invention;

Figure 22 illustrates the transistor device manufactured according to Figure 21, in plan view, with Figure 21l being a section on the line II-II'

Figure 23 is a plan view of a lateral transistor structure according to the invention; and

Figure 24 is a sectional view of the transistor of Figure 23, taken along the line III-III'.

5

Figure 1 illustrates in section an example of a transistor device described in our EP 97305399.4 *supra*. The device comprises a substrate 1, with a drain region 2 comprising a layer of n-doped polysilicon, overlaid by a multiple layer structure 3 that gives rise to a multiple tunnel junction configuration.

10

The layer structure 3 comprises alternate layers of relatively conducting and non-conducting material such as layers of polysilicon and silicon nitride. The multiple layer structure 3 is overlaid by gate regions 4a, 4b and a source region 5 is disposed between the gate regions. The source and gate regions 4, 5 may comprise n-doped polysilicon. In use, current flows along a path P from the drain 2 to the source 5, transversely of the planes of the layers in the structure. The voltage applied to the gate 4a, b controls the drain/source current.

15

Referring to the multiple layer structure 3, it comprises conductive, polysilicon layers 6 disposed between layers 7 of electrically insulating, silicon nitride material. The insulating layers 7 are typically of the order of 3nm in thickness and give rise to an energy band diagram as shown in Figure 2a. The insulating layers 7 give rise to relatively high barriers 8 of height B , of a relatively narrow width dimension w corresponding to the width of the individual layers 7. In this example, the width dimension w is of the order of 3nm.

25

The spacing of the individual barriers 8 is determined by the thicknesses of the layers 6 of the conductive silicon material. Towards the top and bottom of the layer structure 3, the layers 6 have a thickness W_1 of the order of 50nm and in the central region of the stack, the layers 6 have a thickness W_2 of the order of 5nm.

30

- 7 -

Collectively, the layers of the structure 3 give rise to a barrier height b which is relatively low compared to the barrier height B of the individual layers, but which is relatively wide in terms of its physical dimension, corresponding to a width W_7 of the entire multiple layer structure 3.

When a source-drain voltage is applied to the device, the energy diagram for the multiple layer structure 3 adopts the configuration shown in Figure 2b. It will be seen that electrons can pass from the source 5 to the drain 2, tunnelling through the relatively narrow barriers w falling down the potential gradient provided by the source-drain voltage.

In the configuration shown in Figure 2a, when the source-drain voltage is zero, the relatively wide, but low barrier b presented by the layer structure 3 collectively, together with the relatively high but narrow barriers 8 of height B , gives rise to a barrier configuration which inhibits charge carrier conduction between the drain and source 2, 5. The wide barrier b inhibits electron tunnelling between the source and drain and furthermore, the individual, spaced apart barriers 8 give rise to electron traps that inhibit macroscopic quantum tunnelling. The fact that the barriers at the top and bottom of the stack are spaced by a distance W_8 , wider than the spacing W_7 of the inner layers of the stack, contributes to the height b of the wide barrier.

When a source-drain voltage is applied, conduction occurs from the drain to the source in the manner of a conventional transistor and a conventional current flows consisting of $\sim 10^{13}$ of electrons per second. Conduction along the path can be controlled by applying a gate voltage to the gate 4 which gives rise to an electrostatic field which "pinches" the width of the conduction path P between the source and the drain, by an amount dependent on the gate voltage. A problem with this arrangement is however, that a relatively high electric field is applied directly between gate 4 and drain 2. This high electric field causes electric field induced electron-hole pairs to be created, and the accumulation of carriers near the gate 4 screens the confinement potential.

An embodiment of memory device corresponding to Figure 29 of our EP 96308283.9 *supra* will now be described with reference to Figure 3 herein. The memory device is shown in cross section and is formed in a silicon substrate 1. The device includes a memory node 10 in the form of a polysilicon layer of 5nm, which is overlaid by a layer structure 3, generally the same as that shown in Figure 1, which provides the multiple tunnel barrier configuration. The layer structure 3 is made up of alternate layers of silicon and silicon nitride in the manner previously described. Charge carriers can be written onto the memory node 10 through the layer structure 3 from a control electrode in the form of a 30nm thickness layer 11 of n-type silicon. The control electrode 11 is formed over a conductive layer 12 of intrinsic silicon of 30nm thickness. The control electrode 11 is encapsulated in electrically insulating silicon dioxide layers 13, and 14.

15 A gate electrode 15 of polysilicon material overlies the layer structure 3 so as to apply an electrostatic field primarily downwardly into the layer structure, so as to allow the potential barrier structure provided by the layers 3 to be selectively raised and lowered, to permit charge to be selectively written onto the memory node 10. The polysilicon gate 15 is electrically insulated from the control electrode 11 by the silicon dioxide layers 13 and 14. Also, the gate 15 is insulated from side edges of the layer structure 3 by a thick oxide layer 16. No significant field from the gate 15 enters through the side edge of layer structure 3, and the conduction controlling field enters downwardly through the uppermost surface of the layer structure.

25 The memory node 10 acts as a field effect gate for controlling current flow between a source 17 and a drain 18 implanted in the substrate by conventional doping techniques. A conductive path 19 extends between the source and drain 17, 18 and the conductivity varies depending on the level of charge stored on the memory node 10. The use of the multiple layer structure 3 to provide a multiple tunnel junction between the control electrode 11 and the memory node 10 gives rise to an extremely low leakage current from the node

30

10. However, both the gate electrode 15 does not raise or lower the potential barrier structure effectively under the control electrode 11 and raises the electric field in the region between the gate region and the memory node 10.

5 The present invention provides an improved gate configuration which can be used both for a transistor according to the principles of Figure 1 or for a memory device according to the principles of Figure 3, as will now be explained with reference to Figures 4a and 4b. Figure 4a illustrates the improved gate structure in relation to a transistor operative according to the principles described with reference to Figure 1, and Figure 4b illustrates the same gate structure applied to a memory device operative according to the principles of the memory of Figure 3.

15 The layer structure 3 shown in Figures 4a and 4b is arranged in the form of a pillar 20 upstanding from the substrate 1, with a top surface 21 and a peripheral side wall 22 which extends around the pillar. In accordance with the invention, a side gate 23 is formed along the side wall 22 so as to produce an electrostatic field into the pillar structure through the side wall to control the conductivity therein, by raising and lowering the barrier structure selectively. No significant controlling field is applied through the top surface 21 by the side gate 23.

In use, charge carriers flow vertically through the pillar structure from an electrode formed on the top surface 21. For a transistor in accordance with the invention, shown in Figure 4a, the top electrode comprises a source 5 operable in the manner previously described with reference to Figure 1 and the drain 2 is provided on the underside of the pillar. However, when the device is configured as a memory as shown in Figure 4b, the top electrode operates in the manner of the control electrode 11 described previously with reference to Figure 3 and the memory node 10 is disposed on the underside of the pillar structure. The charge stored on the memory node 10 controls the conductivity of the path 19 between source and drain regions 17, 18 formed in

substrate 1, in the manner described with reference to Figure 3.

The side gate 23 is formed e.g. of conductive polysilicon material on an electrically insulating layer 24, which may comprise silicon dioxide. The side gate 23 does not extend into the region occupied by the uppermost electrode 5, 11 and the gate voltage acts on the barrier structure so as to reduce the high electric field region.

The layers 6, 7 are typically formed with the thicknesses and compositions previously described with reference to Figure 1, with the result that the energy band structure for the device is as shown in Figure 5, in the absence of a voltage applied to the top electrode 5, 11 or the side gate 23. The insulating layers 7 give rise to relatively high barriers 8 of height B , of a relatively narrow width dimension w corresponding to the width of the individual layers 7. In this example, the width dimension w is of the order of 3nm or less, typically of the order of 2nm.

The spacing of the individual barriers 8 is determined by the thicknesses of the layers 6 of the conductive silicon material. Towards the top and bottom of the layer structure 3, the layers 6 have a thickness W , of the order of 50nm and in the central region of the stack, the layers 6 have a thickness W_1 of 10nm or less, e.g. the order of 5nm.

Collectively, the layers of the structure 3 give rise to a barrier height b which is relatively low compared to the barrier height B of the individual layers, but which is relatively wide in terms of its physical dimension, corresponding to a width W_7 of the entire multiple layer structure 3.

The effect of a voltage applied to the side gate 23 is to raise or lower the overall energy band diagram shown in Figure 5. The effect applying a voltage to the top electrode 5, 11 is to distort the band diagram in the manner shown in Figure 2b, so as to allow charge carriers to pass from the top electrode 5,

. 11 .

11 downwardly through the pillar structure, either to reach the drain 2 or charge the memory node 10 depending on the device concerned. In the absence of a voltage applied to the top electrode 5, 11, the barrier structure prevents charge leakage along the path between the top and the bottom of the pillar structure.

When used as a memory as shown in Figure 4b, the device operates as a fast static random access memory. The barrier height b typically gives rise to a small built-in potential of approximately 0.2V and the threshold voltage required on the gate electrode 23 under conditions of zero bias the control electrode 11 and the memory node 10, is -1.0V. The height of the overall barrier presented by the pillar structure is controlled by the bias applied to gate 23. A negative gate bias of about -4.0V applied to the gate electrode 23 causes stored charge to be retained on the memory node 10. The negative gate bias produces a potential barrier of approximately 3eV, which is high enough to keep stored electrons on the node for a period of approximately 10 years.

To write information, the voltage applied to gate 23 is kept to zero and a bias voltage of 1.0V is applied to the control electrode 11. Then, the overall barrier structure of the pillar forms a downwardly inclined slope in the manner shown in Figure 2b with the result that electrons can tunnel through the individual barriers 8 to reach the memory node 10. To read information, a voltage of -3.0V is applied to the gate electrode 23 and the source-drain current flowing in channel 19 is monitored in the manner previously described with reference to Figure 3.

When the device is used as a transistor as shown in Figure 4a, such that the top electrode 5 comprises a source and the underlying region 2 comprises a drain, the device will operate as a fast, normally-on transistor. A more practical example of such a transistor will now be described with reference to Figure 6.

· 12 ·

As shown in Figure 6b, a silicon wafer 25 is provided with a thermally grown silicon dioxide layer 1, which acts as a substrate. The drain 2 comprises a layer of n^+ polysilicon formed on the silicon oxide layer 1. The drain is encapsulated by an electrically insulating layer 26 of silicon dioxide.

5

The layer structure 3, which gives rise to the multiple tunnel junction configuration is formed so as to overlie the drain 2. The layer structure 3 is formed as a pillar 20 so as to be upstanding from the drain region 2 and is surrounded by the insulating silicon dioxide layer 24. The source 5 comprises
10 a layer of n^+ polysilicon, which overlies the top surface of the pillar 20.

The gate 23 comprises a layer of polysilicon which bounds the side wall 22 of the pillar 20, abutting the protective insulating layer 24, but does not cover its top surface 21.

15

The structure is covered by a protective, insulating layer 27 described in more detail hereinafter. As can be seen from Figure 6a, contact windows are formed in the oxide layer 27 and source, drain and gate electrodes 28S, 28D and 28G provide external connections.

20

A method of fabricating the device shown in Figure 6 will now be described in detail with reference to Figure 7.

Referring to Figure 7a, the starting material comprises a silicon wafer 25
25 which is thermally oxidised at 1000°C to form a 600 nm layer 1 of SiO_2 , which acts as an insulating substrate. Then, the layer 2, which is used to produce the drain, is formed on the SiO_2 layer 1. The layer 2 comprises 100 nm thickness polysilicon deposited in a reactor by low pressure chemical vapour deposition (LPCVD). A silicon dioxide layer of thickness of the
30 order of 10nm is then deposited on the surface of the layer 2. Arsenic ions are then implanted into the layer 2 in order to form a n^+ -doped conductive layer that can be used as the drain. The arsenic ions are implanted with a

dosage of $3 \times 10^{15} \text{cm}^{-2}$ at an energy of the order of 25KeV through the oxide layer (not shown). The oxide layer is then removed by wet etching using a 20:1 BHF solution.

5 Thereafter, the multiple layer structure 3 is formed on the layer 2. The multiple layer structure 3 consists of a stack of silicon and silicon nitride layers 6, 7. Initially, the layers 6₁ of silicon are formed to have a relatively large thickness $W_1 = 50\text{nm}$ and then, for the major part of the stack, the thickness of the layers 6₂ is of the order of $W_2 = 5\text{nm}$. At least one further
10 layer 6₁ of thickness W_1 is formed at the top of the stack. In this example, two such layers 6₁ are formed at the top. This can be seen in detail in the enlarged detail of the section shown in Figure 7a.

The layers 6, 7 are formed in the LPCVD reactor. The process involves
15 thermal nitridation of silicon, as described in detail by M. Moslehi and K. C. Saraswat, IEEE Trans. Electron Device, ED. 32, p 106 (1985) so as to form thin, tunnel junctions, in which the barrier thickness of the nitride is self-limited to around 2-3nm depending on the growth temperature, with a tunnel barrier height of the order of 2eV.

20 The layer structure 3 is repeatedly built up by firstly depositing a silicon layer in the LPCVD reactor at 770°C in SiH₄ gas to achieve the appropriate thickness of silicon for the relevant layer as shown in Figure 7a. Thereafter, the surface of the deposited silicon is directly converted to silicon nitride at
25 930°C for 20 minutes in 100% NH₃ gaseous atmosphere at 1 Torr in the reactor. Then, a further layer of silicon is deposited on the silicon nitride in the same chamber and the process is repeated. Accordingly, pure silicon nitride without any silicon oxide is formed in the successively deposited layers
7.

30 Then, a layer 5 of polysilicon is deposited with a thickness of 100nm by LPCVD. A silicon dioxide layer of thickness of the order of 10nm is then

- 14 -

deposited on the surface of the layer 5. Arsenic ions are implanted at an energy of 25 KeV at a dosage of $5 \times 10^{13} \text{cm}^{-2}$ through the oxide layer (not shown) in order to change the silicon layer 5 to an heavily doped, n-typed layer. Thermal annealing at 800°C for one minute is then carried out in order to activate the arsenic ions and provide heavily n-doped electrical characteristics in the layer 5, which is later used to provide the source of the device. A silicon oxide layer 30 of thickness 100nm is then deposited on the layer 5.

10 Referring to Figure 7b, the silicon oxide layer 30 is then patterned using optical lithography and a dry etching method in an atmosphere of CHF₃ and argon gas, in a manner well known *per se*. Then, the layers 5 and 3 are patterned using a conventional dry etched method in CF₄ gas, using the photo-resist and the patterned layer 30 as a mask.

15 Then, in a separate patterning step, using conventional optical lithography and dry etching in an atmosphere of CF₄ gas, the layer 2 is etched so as to achieve the pattern shown in Figure 7b. The layer structure 3 is thus etched into the form of a pillar 20 with a top surface 21 and a side wall 22, upstanding from the drain region 2.

Next, as shown in Figure 7c, silicon dioxide layers 24, 26 are grown by thermal oxidisation to overlie the etched portions of the n⁺ polysilicon layers 5, 2 and the pillar structure 3. The thickness of the oxide layer 24 around the pillar structure is of the order of 10nm whereas the layer 26 that covers the source and drain regions 5, 2 is of the order of 50nm thickness. The thickness of the silicon dioxide on the highly doped regions 5 and 2 is larger than the thickness of the silicon dioxide on the intrinsic silicon of the pillar 3 due to the SELOCS.

30 As shown in Figure 7d, a layer of polysilicon 23 is deposited to a thickness of 100nm by LPCVD. A thin silicon dioxide layer (not shown) of thickness of

- 15 -

the order of 10nm is then deposited on the surface of the layer 23. Arsenic ions are then implanted at an energy of 25KeV and a dosage of $5 \times 10^{15} \text{cm}^{-2}$ through the oxide layer in order to change the polysilicon layer 23 to a heavily doped n-type layer.

5

Thermal annealing at 800°C for one minute is then carried out in order to activate the arsenic ions and provide heavily n-doped electrical characteristics in the layer 23, which is later used to provide the gate of the device. The layer 23 is then patterned using optical lithography and a dry etching method
10 in an atmosphere of CF_4 gas. Then, the protective layer 27 is formed, which comprises BPSG (boron and phosphorous contained silicate glass) to a thickness of 500nm, and HSG (spin on glass) to a thickness of 250nm.

As shown in Figure 7e, the BPSG and HSG layer 27 is then etched back by a
15 dry etching method in an atmosphere of CH_2F_2 and argon gas so as to expose the top of the polysilicon layer 23.

As shown in Figure 7f, the top of the polysilicon layer 23 is etched to a level between the top and bottom surfaces of the n^+ polysilicon layer 5, by a dry
20 etching method in an atmosphere of WF_6 gas. Then, a silicon dioxide layer 31 is deposited to a thickness of 1000nm.

As shown in Figure 7g, the silicon dioxide layer 31 is polished by a CMP (chemical mechanical polish) method so as to expose the top of the polysilicon
25 layer 5, so as to provide access to the eventual source.

Then, as shown in Figure 7h, a contact window 32D is etched through the oxide layers 26, 27 in order to allow an external electrical connection to be made to the drain layer 3. At the same time, a contact window 32G is
30 opened to the gate 23. The contact windows can be seen clearly in the plan view of the device shown in Figure 6a.

Next, a metallisation layer 28 is formed by sputtering in order to provide electrical connection to the source, drain and gate, in regions 28S, 28D and 28G. The layer 28 comprises an initial layer of titanium of 100nm thickness overlaid by a layer of aluminium/silicon (1%) to a thickness of 1000nm, produced by conventional sputtering techniques.

As shown in Figure 7h, electrical insulation spaces are etched into the metallisation layer 28 so as to provide the individual portions 28D, 28S and 28G.

10

The portion 28S thus provides a connection to the source region 5. The portion 28G provides a connection through window 32G to the layer 23 which surrounds the pillar structure 20 that gives rise to the multiple channel junction device. The layer 23, is insulated from the pillar structure 20 by the thin oxide layer 24 and thus acts as a side gate that extends along the side wall 22 of the pillar structure 20.

During and after the growth of the layers 6, 7 of the multi-layer structure 3, the overall wafer is heated to 900-1000°C for several hours. However, to ensure that the resulting device operates successfully, the dopants from the heavily doped source and drain regions 5, 2 should not be permitted to migrate into the silicon layers 6, of the layer structure 3. In the described embodiment, the uppermost and lowermost layers 7 of silicon nitride in the layer structure 3 act as barriers to the n⁺ dopants in the layers 2, 5 and prevent them from diffusing into the central region of the multi-layer structure 3 during the heating process.

Figure 6a shows the active region of the transistor to be X x Y. Typically X = Y = 150nm. A pillar dimension X = Y < 20nm can be achieved by means of a self-limiting oxidation process described by H. I. Lie, D. K. Biegelsen, F. A. Ponce, N. M. Johnson and R. F. W. Pease, Appl. Phys. Lett. vol. 64, p 1383, 1994 and H. Fukuda, J. L. Hoyt, M. A. McCord and R. F. W.

30

- 17 -

Pease, Appl. Phys. Lett. vol 70, p 333, 1997. In this process, a retardation in the oxidation rate occurs as a result of a large compressive stress in the oxide skin near the silicon core/oxide interface, which can reach 10Gpa, which is responsible for the self-limiting effect.

5

It will be understood that the transistor structure takes up a small space on the substrate and the arrangement of the side gate 23 minimises the high electric field region and conflict for space on the substrate that occurs in the embodiments described in our EP 97305399.4 *supra*.

10

It will be understood that the principles of construction described with reference to Figure 7 can also be used to provide a side gated configuration for a memory cell; thus, the drain region 2 shown in Figure 6 can be replaced by a polysilicon layer of e.g. 30nm thickness to provide the aforementioned
15 memory node 10. Conventional source and drain regions can be formed in the wafer 25 in a manner well known *per se*, thus to provide source and drain regions corresponding to the regions 17 and 18 shown in Figure 3 and 4b, with a conductive source-drain path between them.

20 A number of modifications to the pillar structure 20 will now be described, which give rise to different operating characteristics for the transistor or memory fabricated in accordance with the invention.

Referring now to Figure 8, this illustrates an example of a pillar structure
25 which can be used to provide a normally off transistor and a non-volatile memory. The configuration can be considered as a modification of the arrangement shown in Figure 4a or 4b and the same reference nomenclature has been used in Figure 8. The pillar structure is thus provided with the side gate 23 and insulating region 24.

30

The pillar structure 20 consists of a relatively thick insulating layer 7' typically of silicon dioxide or silicon nitride. The insulating layer is of a

thickness of the order of 3-30nm for silicon dioxide and from 4-30nm for silicon nitride formed by plasma nitridation at 550°C in NH_3 atmosphere with RF power of 300-500W. The insulating layer is sandwiched between intrinsic silicon layers 6' of a thickness of 50nm. The energy band profile associated
5 with the pillar structure is shown in Figure 9. The energy band profile includes a relatively wide barrier 8' of height B' with a width dimension corresponding to the thickness of the layer 7'.

In use, the device when configured as a memory, operates as a fast non-volatile
10 random access memory (RAM) because the energy barrier 8' created by the insulating layer 7' keeps electrons stored in the memory node 10 without the need to apply an external gate voltage to the gate 23. The height B' of the energy barrier is of the order of 2.0eV for silicon nitride and 3.0eV for silicon dioxide.

15 When a bias voltage is applied to the gate 23, the energy barrier B' is lowered as shown in dotted outline in Figure 9. This effect is used to lower the barrier to permit charge to be written onto the memory node 10.

Additionally, a voltage is applied to the control electrode 11 to produce a
20 potential gradient in the manner of Figure 2b (not shown in Figure 9), so that charge carriers move towards the node 10. In the case of a silicon nitride barrier 7', the voltage applied to the side gate 23 is of the order of 3V and the voltage applied to the control electrode is of the order of 1V. In this configuration, charge carriers pass the insulating layer 7' to reach the memory
25 node 10, along a path from the control electrode 11. Thereafter, when the voltages are removed from the electrodes 11, 23, charge retained on the gate voltage by the barrier B' and the retention time can be of the order of 10 years. Accordingly, the device operates as a fast non-volatile RAM.

30 When the pillar structure of Figure 8 is used in a transistor configuration, with the source 5 and drain 2, it will operate as a normally-off transistor.

A modification is shown in Figure 10, which includes additional, relatively thin insulating layers 7'' adjacent the uppermost electrode 5, 11 and the lowermost region 2, 10, which give rise to additional barriers 8'' in the corresponding energy band diagram shown in Figure 11. When used as a memory, the layers 7'' avoid massive electron re-distribution around the insulating layer 7', the control electrode 11 and the memory node 10 and so achieve an improved downward potential slope when the voltages are applied to the gate 23 and the control electrode 11 so as to write or erase charge from the node 10. The energy band diagram of Figure 11 illustrates the situation in which a write voltage is applied to the control electrode 11 and also to the gate 23, with the values previously described in relation to Figure 8. The effect of the voltage applied to the control electrode 11 is to configure the band diagram into a downward slope from the control electrode 11 to the memory node 10 so as to allow electrons to move down the slope onto the memory node, with the electrons tunnelling through the barriers B. The effect of the gate voltage 23 is to lower the height of the barriers B. The effect on the barrier B' is shown in Figure 11. The barrier is reduced from the level shown in dotted outline as a result of the voltage applied to gate 23. When the pillar structure 20 is formed of silicon nitride and polysilicon layers 6, 7 as previously described, the additional thin layers 7'' are typically of a thickness of 1-2nm with the polysilicon layers 6' being of a thickness of the order of 5-30nm.

Another modification is shown in Figure 12 to provide a static random access memory (SRAM) or a dynamic random access memory (DRAM) which obviates the need for conventional refresh circuits. The general side gated pillar structure is the same as that shown in Figure 4 but with the addition of a thin p-type silicon layer 33. It will be appreciated that this layer which is typically of the a thickness of 1-2nm, can be formed in the LPCVD reactor in a conventional manner, during the build up of the layers 6, 7. The dopant used for the layer 33 is typically boron with a dopant concentration of the order of 10^{18}cm^{-3} . This creates a built-in potential barrier of the order of 1.2V with a result that charge can be stored at the memory node 10 for a time of

the order of a few minutes without an applied bias to the gate electrode 23. Therefore, the memory device does not require conventional heavy duty refresh circuits usually needed in a fast DRAM. If it is required to retain information for longer periods of time, a negative bias voltage is applied to the gate electrode 23. A bias voltage of -1.0V or -0.5V give rise to retention times of 10 years and 1 hour respectively. To read and write information, gate bias voltages of 0.0V and 1.0V are applied respectively to the gate electrode 23. It will be understood from the foregoing that in order to read information from the node, a source-drain voltage is applied to the source and drain 17, 19 (not shown in Figure 12) and the resulting source-drain current is detected. The level of current will depend on the level of charge stored on the memory node 10.

Another configuration is shown in Figure 14 in which some of the regions 6 are formed of a material with a larger energy band gap in order to introduce a band gap discontinuity. In the embodiment shown in Figure 14, the thinner layers 6₂' are formed of a wide gap material such as a metal-semiconductor compound e.g. SiC, whereas the regions 6₁ are formed of polysilicon in the manner previously described. It will be understood that the appropriate dopant can be introduced during the LPCVD process used to manufacture the pillar, when the layers 6₂' are formed. The resulting band energy profile is shown in Figure 15 and it will be seen that the band edge is lifted in the regions of the layers 6₂', giving rise to a band edge discontinuity ΔE_v . In this example, the band edge discontinuity is formed in the valence band but it will be understood that the discontinuity could be formed in the conduction band if appropriate materials is used electrons are used as the carriers. In this example, the valence band discontinuity is of the order of 0.5eV. This is effective for retaining information for a time of the order of 1 hour without the application of a bias to the gate electrode 23. Therefore, the memory device does not require fast refresh circuits in the manner of a convention DRAM. In order to retain information for longer periods of time, a positive bias of 0.5V can be applied to the gate electrode 23, which achieves a

retention time of the order of 10 years. To read and write information, gate bias voltages of -0.5V and -1.5V are applied to the gate electrode 23. The reading and writing is then carried out in the manner previously described.

- 5 When used as a transistor, the pillar structure of Figure 14 gives rise to a normally-off transistor.

Referring to Figure 16, another example of the side-gated pillar structure 3 is shown in which the barrier configuration is provided by a cluster of granular
10 semiconductor or conductor islands 34 are formed in an insulating matrix 35. In this example, the matrix 35 is sandwiched between layers of polysilicon material 6 of 50nm thickness. The islands 34 may comprise silicon, germanium, amorphous silicon or metallic dots such as gold or aluminium. A number of different methods of preparing nanometre scale islands will now be
15 described.

1. Method of Segregating Nanometre Scale Ge Crystallites from Si-Ge-O Mixture Films

Si-Ge-O mixture films were prepared by radio frequency magnetron sputtering
20 (RFMS) or ion beam sputtering (IBS). The sputtering target consisted of a 99.99% pure SiO₂ glass plate of 100mm in diameter on which were disposed a number of high purity Ge chips 5mm square. Sputtered material from the target was deposited on a Si substrate of a thickness of 200nm. The number of Ge chips distributed on the circular SiO₂ glass plate was selected in order to
25 control the amount of Ge sputtered onto the target.

In the case of RFMS, the sputtering was carried out at 1.25kW at 13.56 MHz rf power in an argon gas atmosphere at a pressure of 3m Torr. In the case of IBS, sputtering was carried out with a dc power source at 1kW in an argon
30 atmosphere at 0.3m Torr.

In more detail, the process was performed in a deposition chamber which was

first evacuated by means of a cryo-pump to a pressure of 3×10^{-7} Torr. Next, argon gas was introduced and the electrical power previously described, was applied for sputtering. After 7 minutes, a SiO_2 glass was formed on the target supersaturated with Ge. The sample was then annealed at $300\text{--}800^\circ\text{C}$ in argon gas for 30 minutes - 4 hours. As a result, Ge nanometre scale crystallites segregated in the glass. The number of Ge chips, the annealing temperature and the annealing time were chosen so as to control the density and size of the nano-crystallites of Ge formed in the glass. Table 1 below gives examples.

10 Table 1

<u>Sample No.</u>	<u>Annealing Temp.</u>	<u>Annealing time</u>	<u>Average Diameter</u>
1	300°C	30 min	4.2nm
2	600°C	30 min	6.0nm
3	800°C	30 min	6.5nm

15

2. Preparation of Hydrogenated Amorphous Silicon by Plasma Enhanced Chemical Vapour Deposition Method

In this method, capacitively coupled rf-plasma enhanced chemical vapour deposition was used in the preparation of very thin, hydrogenated amorphous silicon. A deposition chamber was first evacuated down to a pressure of 10^{-7} Torr before the introduction of reaction gases. A silicon substrate mounted on a grounded electrode in the chamber was heated up to a temperature of 250°C . A gas mixture of SiH_4 and H_2 was introduced into the deposition chamber through a mass flow controller. The gas flow rates were 10 and 40 sccm respectively. A gas pressure of 0.2 Torr was maintained by an automatic pressure controller. Substitutional doping was attained by introducing PH_3 or P_2H_6 gas during the deposition in order to provide n-type and p-type hydrogenated amorphous silicon respectively. In this example, 5 sccm or 0.2% PH_3 diluted in H_2 was added as an n-type dopant. 13.56 MHz RF power at a level of 10W was applied onto electrodes in the chamber via an automatic matching box so as to maximise the forward power and minimise reflections, thereby establishing a plasma in the chamber. The deposition rate

30

in this case was 0.08 nm/sec. Deposition was carried out for 50 seconds to obtain a layer thickness of 4 nm containing hydrogenated amorphous silicon.

3. *Preparation of Microcrystalline Silicon by Plasma Enhanced Chemical Vapour*

5 *Deposition Method*

Capacitively coupled rf-plasma enhanced chemical vapour deposition was used to prepare microcrystalline silicon. The main reaction chamber was isolated and connected to a load lock chamber by a shutter which can be opened easily. Loading and unloading of the samples into and from the main
10 chamber is carried out through the load lock chamber. The pressure in the chamber was determined by an automatic pressure controller. The deposition chamber was evacuated by a turbo-molecular pump down to a pressure of 10^{-7} Torr before introduction of the reaction gases. The substrates to receive the deposited layer were situated on a grounded electrode of 15 cm diameter
15 heated to a temperature of 250°C. The distance between the electrodes was fixed at 3 cm. The gas mixture of SiH_4 and H_2 was introduced into the deposition chamber through a mass flow controller. The gas flow rates for SiH_4 and H_2 were selected to be 1 and 100 sccm respectively. During this process, the gas pressure was maintained at 0.15 Torr by means of an
20 automatic pressure controller. Substitutional doping is obtained by introducing phosphine or diborane gases during the deposition process, in the same plasma to provide n-type and p-type amorphous silicon respectively. In this example, 2 sccm of 0.2% phosphine diluted in hydrogen was added as an n-type dopant. 80 power was applied at 13.56 MHz to the electrodes in the
25 chamber by means of an AMC, so as to maximise the forward power and minimise the reflected power. The deposition rate was 0.05nm/sec. The deposition process was contained for 80 seconds to achieve a 4nm layer of microcrystalline silicon.

30 4. *Preparation of Stacking Structures of Silicon Nitride and Amorphous or Microcrystalline Silicon by Plasma Enhanced Chemical Vapour Deposition*

To achieve a stack structure of layers of silicon nitride or microcrystalline

silicon can be achieved using either method No. 2 or 3 discussed above to produce the amorphous or microcrystalline silicon and interspersed silicon nitride layers can be also prepared in a similar way by using a gas mixture of SiH_4 , NH_3 and H_2 . To prevent contamination between the silicon and silicon nitride layers, the individual films are prepared in different deposition chambers which are connected by means of a vacuum transfer mechanism.

5. Preparation of Silicon Films by Other Methods

The following are examples of other methods which can be used to prepare the amorphous and microcrystalline silicon films: thermal chemical decomposition, photo-chemical vapour decomposition, sputtering, ion beam deposition, cluster ion beam deposition and molecular beam deposition. These methods can be combined with thermal annealing, rapid thermal annealing and laser annealing to achieve a wide range of microcrystalline silicon configurations.

In a specific example, silicon grains are formed with insulating grain boundaries, the grains have a dimensional range of 3-10nm and preferably 5 nm or less. In the resulting structure illustrated schematically in Figure 16, a current threshold of about 0.5V is formed. As a result, information can be stored on the memory node 10 for a time of the order of a few minutes, without a bias applied to the gate electrode 23. Information can be retained for longer periods of time by applying a bias voltage of -1.0V or -0.5V to the gate electrode 23 to achieve retention times of 10 years and one hour respectively. To read/write stored information, gate bias voltages of 0V and 1V are applied respectively to the gate electrode 23.

When used as a transistor, the pillar structure 20 of Figure 16 gives rise to a normally-off transistor device.

It will be understood that the grain size of intrinsic polysilicon layer 6 in previously described structures can be formed as small as 3-10nm. During

thermal nitridation, grain boundaries are also converted to silicon nitride so that grains are also surrounded by insulation of 2-3nm thickness. It will be also understood that the composite layer of conductive and insulator structure Figure 16 can be used with any of the pillar structure previously described.

- 5 The small grain size enhance the energy barrier effects due to the charging energy and quantum size effects, as well as the enhancement of electron localisation since resistance of each tunnel junction can be increased as the junction area is reduced. Also the leakage current due to the electron-hole pair creation can be reduced because the generated electron-hole pair would
10 recombine inside the grain region, because the separation outside the grain is not energetically preferable due to the increase of the charging energy.

In Fig. 16, this device has node 10 and layer 6. But it is possible to omit node 10 and layer 6. Because it is possible to use grain 34 as a node.

- Referring now to Figure 17, this shows a modification to the side gate structure, which can be considered as a modification of the configuration
15 shown in Figure 4. In this device, the insulating oxide layer 22 of Figure 4 is replaced by a semiconductor layer 36 so as to form a junction gate. In the example shown in Figure 18, the region 36 comprises p-type silicon. The pillar structure 20 includes layers 6, 7 of conductive polysilicon and insulating silicon nitride as described previously with reference to Figure 4. The side
20 gate 23 is formed of polysilicon as described previously.

- The effect of the p-type region 36 is to create a built-in potential b of 1.0V in the energy band profile, as shown in Figure 18. As a result, the current threshold voltage in this device is of the order of -0.1V. Therefore, when uses
25 as a memory device, a low voltage operation can be achieved as the refresh operation can be less frequent than for a conventional DRAM. Negative bias voltages of -1.6V and -1.1V applied to the gate electrode 23 produce retention times at the node 10 of the order of 10 years and one hour respectively. To read/write information from the node 10, gate bias voltages of -0.8V and 0.4V
30 are applied to the gate electrode 23.

When used as a transistor, the pillar structure 20 of Figure 17 gives rise to a

normally-on transistor device.

A pillar structure 20 with an associated Schottky side gate structure is shown in Figure 19, which can be considered as a modification of the configuration of Figure 4. In the embodiment of Figure 19, the insulating layer 22 is omitted and a metallic side gate 37 is applied directly to the pillar structure 3 on its side wall 22 in order to form a Schottky gate.

The side Schottky gate 37 creates a built-in potential b of up to 0.4V in the pillar structure 20. The resulting current threshold voltage is of the order of -0.3V. Thus, when used as a memory device, low voltage operation can be achieved and the refresh operation can be less frequent than for a conventional DRAM. Negative bias voltages of -1.8V and -1.3V when applied to the gate electrode 37 can achieve retention times of 10 years and one hour respectively. To read/write information from the memory node 10, gate bias voltages of -1.0 and 0.2V are applied to the gate electrode 37. In a typical example, the Schottky metal gate 37 is formed of WSi or aluminium. It will be appreciated that the process steps described with reference to Figure 7 will be modified appropriately to produce the Schottky gate of a suitable material.

20

The pillar structure of Figure 20 can also be used in a transistor structure; a normally on transistor is thereby provided.

It will be understood that the junction gate of Figure 17 and the Schottky gate of Figure 19 can be used with any of the pillar structures previously described and not only the pillar structure of Figure 4.

Another method of fabricating a transistor device in accordance with the invention will now be described with reference to Figure 21. The starting materials are the same as those used in the method described with reference to Figure 7. Thus, referring to Figure 21a, silicon wafer 25 is thermally oxidised at 1000°C to form a 600 nm thickness layer 1 of silicon dioxide which acts as

- 27 -

an insulating substrate. Then, a layer 2, which is used to produce the drain, is formed on the silicon dioxide layer 1. The layer 2 comprises 100nm thickness polysilicon deposited by LPCVD in reactor. A thin silicon dioxide layer (not shown) of thickness of the order of 10nm is deposited on the surface of the layer 2. Arsenic ions are then implanted into the layer 2 so as to form a n^+ -doped conductive layer that can be used as the drain. The arsenic ions are implanted with a dosage of $3 \times 10^{15} \text{cm}^{-2}$ at an energy of the order of 25 KeV, through the oxide layer. The oxide layer is then removed by wet etching using a 20:1 BHF solution. Thereafter, a stack of the silicon and silicon nitride layers 6, 7 are grown so as to form the multiple layer structure 3 that gives rise to the multiple tunnel junction. Initially, the layers 6₁ of silicon are formed to have a relatively thickness $W_1 = 50\text{nm}$ and then, for the major part of the stack, the thickness of the layers 6₂ is of the order of $W_2 = 5\text{nm}$. At least one further layer 6₁ of thickness W_1 is formed at the top of the stack and in this example, a further layer 6₃ of silicon is formed with a thickness of 30nm.

The layers 6, 7 are formed in the LPCVD reactor. The process involves thermal nitridation of silicon as described by Moslehi & Saraswat, *supra*.

As previously described with reference to Figure 7, the layer structure is built up successively by firstly depositing a silicon layer in the LPCVD reactor at 770°C in SiH_4 gas to achieve the appropriate thickness of silicon for the relevant layers shown in the insert in Figure 21a. Thereafter, the surface of the deposited silicon is directly converted into silicon nitride at 930°C for 20 minutes in 100% NH_3 gaseous atmosphere at 1 Torr in the reactor. Then, a further layer of silicon is deposited on the silicon nitride in the same chamber. Accordingly, pure silicon nitride without any silicon dioxide is formed between the successive deposited silicon layers.

Referring to Figure 21b, a 10nm thick layer 38 of silicon dioxide is formed by thermal oxidation over the layer structure 3 and a silicon nitride layer 39 of

thickness 160nm is deposited at a temperature of 740°C.

Referring to Figure 21c, the layers 38, 39 are then patterned using optical lithography and a dry etching method in an atmosphere of CHF₃ and argon gas, in a manner well known *per se*. The resulting structure has a lateral width dimension AA and a breadth, shown in Figure 22, of a dimension Y.

As shown in Figure 21d, the patterned layers 38, 39 are then used as a mask in order to dry etch the multiple layer structure 3 so as to remove most of the layers 6, 7 outside of the dimension AA, but leaving a thickness of approximately 30nm of the structure 3 outside of the masked pattern. This remaining portion of the region 3 is then converted into silicon dioxide by thermal oxidisation to form regions 40 in order to isolate adjacent transistors (not shown) formed by the inventive method on the same substrate 1. The electrically insulating regions 40 are shown in Figure 21e.

Referring to Figure 21f, the silicon nitride and silicon dioxide layers 38, 39 are then removed using orthophosphoric acid at 160°C and a 20:1 BHF solution. Then, a layer 5 of polysilicon is deposited with a thickness of 100nm by LPCVD. A thin silicon dioxide layer (not shown) of thickness of the order of 10nm is deposited on the surface of the layer 5. Arsenic ions are implanted at an energy of 25KeV and a dosage of $5 \times 10^{15} \text{cm}^{-2}$ through the oxide layer in order to change the silicon layer 5 into a heavily doped n-type layer for use as the source of the transistor. Thermal annealing at 800°C for one minute is then carried out in order to activate the arsenic ions and provide heavily doped electrical characteristics in the layer 5. A silicon dioxide layer 41 of thickness 100nm is then deposited on the layer 5.

Referring to Figure 21g, the silicon dioxide layer 41 is patterned using electron beam lithography and dry etching in order to provide an elongate region of width X which will be used to define a mask to define the extent of the source of the transistor.

Then, as shown in Figure 21h, the polysilicon layer 5 and the multiple layer structure 3 are etched in CF_4 gas, leaving a thickness of approximately 30nm of the layer structure 3, except under the portion of the etched layer 41, where the full thickness of the layers 3 and 5 remain.

5

As shown in Figure 21i, the silicon dioxide layer regions 24, 26 of thickness approximately 10nm and 50nm respectively are grown by thermal oxidation to overlie the etched portions of the multiple layer structure 3 and the exposed portions of the n-type source and drain regions 5, 2. The thickness of the silicon dioxide 26 on the highly doped regions 5, 2 is greater than that of the thickness of the oxide 24 on the intrinsic silicon of the layer structure 3, due to the SELOCS process.

10

As shown in Figure 21j, a layer 23' of polysilicon is deposited to a thickness of 100nm by LPCVD. A thin silicon dioxide layer (not shown) of thickness of the order of 10nm is deposited on the surface of the layer 23'. Arsenic ions are implanted at an energy of 25KeV and a dosage of $5 \times 10^{15} \text{cm}^{-2}$ through the oxide layer in order to change the polysilicon layer 23' to a heavily doped n-type layer. Thermal annealing at 800°C for one minute is then carried out in order to activate the arsenic ions and provide heavily doped n-type electrical characteristics in the layer 23' which is later used to provide the gate of the device. The layer 23' is then patterned using optical lithography and a dry etching method in an atmosphere of CF_4 gas. Then as shown in Figure 21k, a silicon dioxide layer 42 of thickness 100nm is deposited on the device and a contact window 32D is etched through the oxide layers 42, 26 in order to allow electrical connection to be made to the drain layer 2. The contact window 32D is produced by optical lithography and wet etching using a 20:1 BHF solution. As part of the same process, a contact window 32G is formed for the gate 23'.

20

25

30

As shown in Figure 21l, a metallisation layer 28 is formed by sputtering in order to provide electrical connection to the gate and drain. The layer 28

. 30 .

comprises an initial layer of titanium of 100nm thickness, overlaid by a 1000nm of aluminium/silicon (1%) produced by conventional sputtering techniques. As shown in Figure 21l, an electrical insulation space 43 is etched into the layer 28 so as to provide first and second contact portions 28D and 28G, which provide connections through the contact windows 32D and 32G to the gate and drain regions respectively.

The resulting device is shown schematically in plan view in Figure 22. From Figure 22, it can be seen that the process step described with reference to Figure 21k that formed the contact window 32D, 32G can also be used to form a contact window 32S through the silicon dioxide overlayer 41, so as to provide an external electrical connection to the heavily doped n-type region 5 that forms the source. Additionally, when the insulating gap 43 is formed, an insulating gap 44 shown in Figure 4 is also formed so as to define portion 28S of the sputtered metallic contact layer 28. This provides electrical connection through the contact window 32S to the source 5.

During and after the growth of the layers 6, 7 of the multilayer structure 3, the overall wafer is heated to 900-1000°C for several hours. However, to ensure that the resulting device operates successfully, the dopants from the heavily doped source and drain regions 5, 2 should not be permitted to migrate into the silicon layers 6₂ of the layer structure 3. In the described embodiment, the uppermost and lowermost layers 7 of silicon nitride act as barrier for the n⁺ dopants in the layers 2, 5 and prevent them from diffusing into the central region of the multi-layer structure 3 during the heating process. Figure 4 shows the active region of the transistor to be X x Y. Typically X = 50nm and Y = 200nm.

Referring again to Figure 21l, it will be seen that the etched multi-layer structure 3 is formed into a pillar 20 upstanding from the drain region 2. The region 23' acts as a side gate which extends alongside the side wall 21 of the pillar 20. When a gate voltage is applied to the contact region 28G, the

- 11 -

controlling field is applied by the side gate through its side wall 22 into the layer structure 3 so as to control its tunnel barrier configuration, in a manner previously described. The controlling field is applied substantially only through the side wall 22; no significant field is applied through the top surface 21 of the pillar structure. Although the region 23' bridges over the pillar, it is spaced from the pillars top surface 21 by the thickness of the source region 5 and overlying insulating layer 41, and thus no significant field is applied through the top surface. The described configuration has the advantage that because the gate field is applied through the side wall, the high electric field region between the gate and the drain is substantially reduced thereby improving the source-drain characteristics of the transistor.

It will be appreciated that the device described with reference to Figures 21 and 22 may utilise alternative multi-layer structures 3 in order to provide the pillar structure 20, in the manner described previously with reference to Figures 8 to 19, for example.

Furthermore, it will be understood that the side gated structure described with reference to Figure 21 may also be used in a memory device rather than a transistor, in which the drain region 2 is replaced by a polysilicon or like conducting memory node 10, with source and drain regions corresponding to regions 17, 18 previously described being formed in the device substrate.

In the structures previously described, it can be designed so that the electrons are transported mainly at the surface region of the pillar. In this configuration the operation becomes similar to the MOS transistor and not so much influenced by the lateral dimension of pillar. The devices can also be designed so that electrons are transported through both surface and centre regions of pillar, particularly in a pillar with small lateral dimensions

The structure described previously can be arranged laterally shown in Figure 23 in plan view and in the cross sectional view of Figure 24, taken along the

line III-III' of Figure 23. The gate electrode 11G induces electric field into a multiple-tunnel junction to control the electron transport between a source and drain. The gate is not overlapped with source and drain contact regions. In this structure, the gate region can be designed by lateral patterning and the fabrication process can be simplified.

A method of fabricating the device will now be described in more detail with reference to Figure 24. The starting materials comprise a silicon wafer 25 which is thermally oxidised at 1000°C to form a 600nm thick layer 1 of SiO₂ which acts as an insulating substrate. Then, a layer 2, which is used to produce the drain is formed on the SiO₂ layer 1. The layer 2 comprises 100nm thickness polysilicon deposited by LPCVD. A thin silicon dioxide layer of thickness of the order of 10nm is deposited on the surface of the layer 2. Arsenic ions are then implanted in the layer 2 to form an n⁺-doped conductive layer that can be used for the drain. The arsenic ions are implanted with a dosage of $3 \times 10^{15} \text{cm}^{-2}$ at an energy of the order of 25 keV through the oxide layer (not shown). The 10nm oxide and silicon layer 2 are patterned by optical lithography and dry etching. Then, a silicon oxide layer 51 of thickness 60nm is deposited, and a contact window 55 is etched through the oxide layers 51 and 10nm and oxide in order to allow electrical connection to be made to the drain layer 2. The contact window 55 is formed by optical lithography and wet etching using 20:1 BHF solution.

Thereafter, a stack of the silicon and the silicon nitride layers are grown so as to form the multiple layer structure 3 that gives rise to the multiple tunnel junction, by the same method described before. The multiple layer 3 is patterned by optical lithography and dry etching.

Then, a silicon oxide layer 52 of thickness 60nm is deposited, and the contact window 56 is etched through the oxide layer 52 in order to allow electrical connection. The contact window 56 is formed by optical lithography and wet etching using 20:1 BHF solution.

. 33 .

- Then, layer 5, which is used to produce the source, is formed. The layer 5 comprises 100nm thickness polysilicon deposited by LPCVD. A thin silicon dioxide layer of thickness of the order of 10nm is deposited on the surface of the layer 5. Arsenic ions are then implanted in the layer 5 to form an n⁺-doped conductive layer that can be used for the source. The arsenic ions are implanted with a dosage of $3 \times 10^{15} \text{cm}^{-2}$ at an energy of the order of 25keV through the oxide layer (not shown). Then the 10nm oxide and the silicon layer 5 are patterned by optical lithography and dry etching.
- 10 A silicon oxide layer 53 of thickness 60nm is deposited, and the gate window 54 is etched through the oxide layers 53 and 52. The gate window 54 is formed by optical lithography and wet etching using 20:1 BHF solution. Then, a 10nm silicon dioxide layer 54 is formed by thermal oxidation.
- 15 Then, the contact window 32D is etched through the oxide layers 51, 52 and 53 in order to allow electrical connection to be made to the drain layer 2. The contact window 32D is formed by optical lithography and wet etching using 20:1 BHF solution. At the same time, a contact window 32S is made to the source 5.
- 20 Metallisation and patterning is then carried by the same method described with reference to Fig. 21f, to complete the structure shown in Figure 23 and Figure 24.
- 25 It will be appreciated that the device described with reference to Figures 23 and 24 may utilise alternative multi-layer structures 3, in the manner described previously with reference to Figures 8 to 19, for example. Also, the drain 2 may be replaced by a memory node in order to provide a memory device rather than a transistor.
- 30 Many other modifications and variations within the scope of the invention will be apparent to those skilled in the art. For example, whilst in the

- 34 -

described embodiments silicon nitride is used to provide the insulating layers of the multi-layer structure 3, silicon oxide layers could be used or other films of insulating material. Also, the n-type and p-type regions could be interchanged and varied in the type of dopant used. For example it would be possible to use a n-type source and drain (or memory node), with a p-type gate.

Claims

- 5
1. A controllable conduction device comprising an upstanding pillar structure having a side wall and a top surface, the structure being formed of regions of relatively conductive and non-conductive material such that in a first condition, charge carrier flow can occur through the pillar structure and
10 in a second condition the regions present a tunnel barrier configuration that inhibits charge carrier flow through the pillar structure, and a side gate structure alongside the side wall of the pillar structure, configured to apply an electric field through the side wall into the pillar structure to control electrical conductivity therein.
- 15
2. A device according to claim 1 wherein said regions provide an energy band profile that comprises a dimensionally relatively wide barrier component with a relatively low barrier height, and at least one relatively narrow barrier component with a relatively high barrier height.
- 20
3. A device according to claim 2 wherein the component of the energy band profile of relatively high barrier height is provided by an element of a width of 3nm or less.
- 25
4. A device according to claim 2 or 3 wherein the energy band profile of the tunnel barrier configuration includes a plurality of said relatively high barrier height components.
- 30
5. A device according to claim 2, 3 or 4 wherein the configuration includes alternate layers of relatively electrically conductive and insulating material wherein the layers collectively provide said relatively low barrier height component of the energy band profile, and the individual insulating

layers provide the relatively high barrier components.

6. A device according to claim 5 wherein the alternate layers comprise polysilicon and silicon nitride or silicon oxide respectively.
5
7. A device according to claim 6 including a heavily doped barrier layer within the alternating layers.
8. A device according to claim 5, 6 or 7 wherein the electrically
10 conductive layers each are of a thickness of less than 10 nm and the insulating layers are of a thickness of the order of 1nm.
9. A device according to claim 5 wherein the configuration includes alternate layers of electrically conductive material and semiconductor
15 material.
10. A device according to any preceding claim wherein the pillar structure includes a plurality of conductive islands.
- 20 11. A device according to claim 10 wherein the islands are distributed in the an insulating matrix.
12. A device according to claim 10 or 11 wherein the islands have a diameter of 3-10nm.
25
13. A device according to any one of claims 10 to 12 wherein the islands comprise nano-crystals of semiconductor material.
14. A memory device according to any one of claims 10 to 12 wherein the
30 islands are formed of a metal.
15. A device according to any preceding claim operable as a transistor,

. 37 .

including source and drain regions to provide a source-drain charge carrier flow path through the pillar structure, and the side gate is operable to control charge carrier flow along the source-drain charge carrier flow path.

- 5 16. A device according to any one of claims 1 to 13 operable as a memory, including a memory node to receive charge carriers that pass along a path through the pillar structure, and the side gate is operable to control charge carrier flow along the path, for controlling the charge stored in the node.
- 10 17. A device according to claim 16 including a source-drain path having a conductivity dependent on the level of electrical charge stored in the node.
18. A device according to any preceding claim wherein said side gate structure comprises a Schottky gate.
- 15 19. A device according to any preceding claim wherein the side gate structure comprises a junction gate.
- 20 20. A device according to any preceding claim wherein the side gate is disposed alongside the side wall but does not overlie the top surface.
21. A device according to any one of claims 1 to 19 wherein the side gate is formed of a region which is disposed alongside the side wall and also forms a bridge over the pillar structure spaced from its top surface such that no
25 significant controlling electrostatic field is applied by the region into the pillar structure from the bridge.
22. A device according to any preceding claim including a control electrode extending over the entire top surface of the pillar structure.
- 30 23. A memory device comprising a barrier structure formed of regions of relatively conductive and non-conductive material such that in a first

. 38 -

condition, charge carrier flow can occur through the pillar structure and in a second condition the regions present a tunnel barrier configuration that inhibits charge carrier flow through the structure, a memory node to receive charge carriers that pass along a path through the structure, and a control electrode for supplying charge carriers to the path so as to pass through the structure to be stored at the node, wherein the regions of non-conductive material are configured so as to provide an energy band profile that comprises dimensionally relatively narrow barrier components adjacent the memory node and the control electrode respectively, and a dimensionally relatively wide barrier component between the narrow barrier components, the barrier components being configured such as to provide non-volatile charge storage at the node.

24. A device according to claim 23 including a side gate to apply an electrostatic field to the pillar structure through its side wall.

25. A controllable conduction device comprising a substrate (1), control elements (2, 5) spaced apart laterally on the substrate, a channel structure (3) electrically connected to and extending between the control elements, the channel structure being formed of regions of relatively conductive and non-conductive material such that in a first condition, charge carrier flow can occur through the structure and in a second condition the regions present a tunnel barrier configuration that inhibits charge carrier flow, and a gate region (28G) configured to apply an electric field into the channel structure to control electrical conductivity therein, the channel structure (3) being configured so as to lip under one of the control elements and lip over the other of the control elements on the substrate.

26. A device according to claim 25 wherein the control elements comprise source and drain regions (2, 5).

27. A device according to claim 25 wherein one of said control elements

. 39 -

comprises a memory node.

28. A device according to claim 25 wherein the gate region is disposed between the control elements, overlying the channel structure.

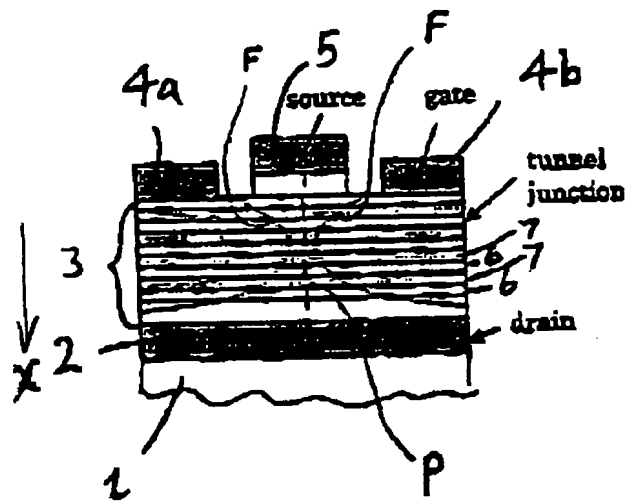
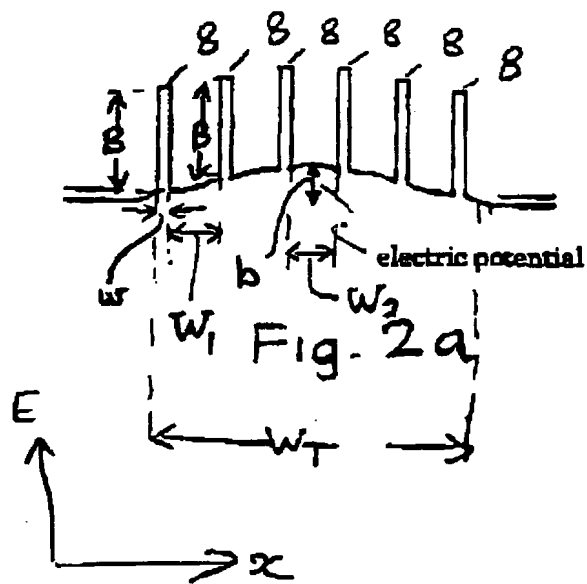
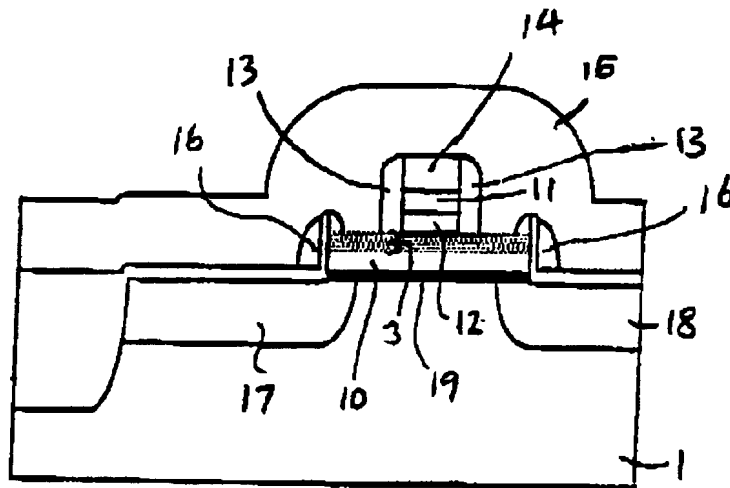
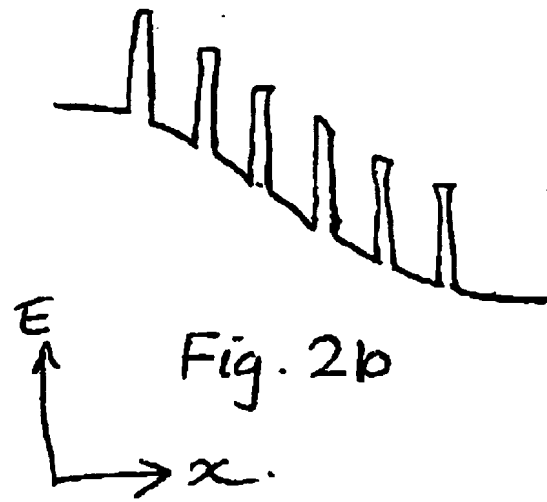


Fig. 1

prior device





prior device

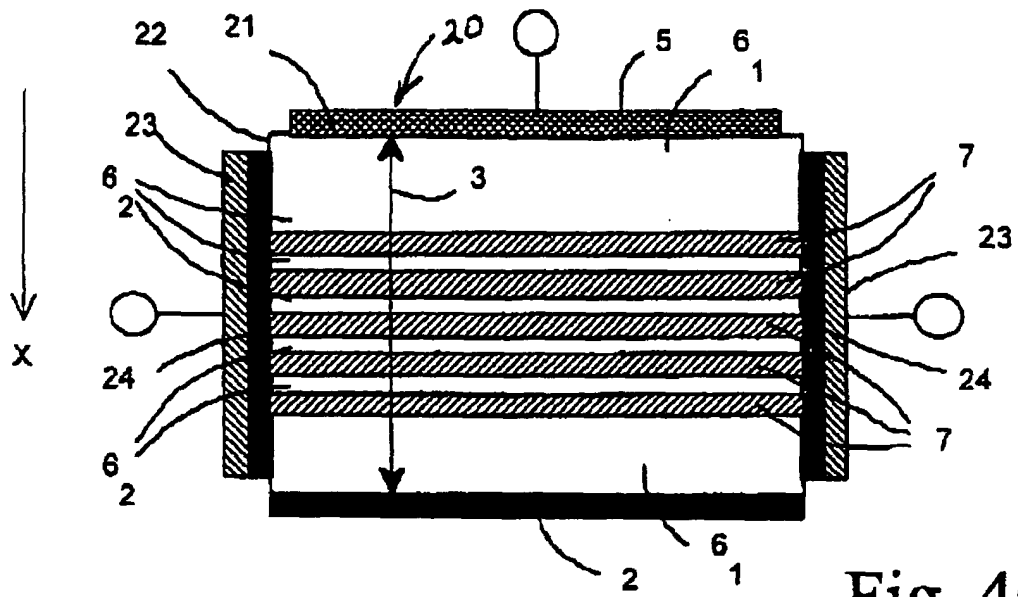
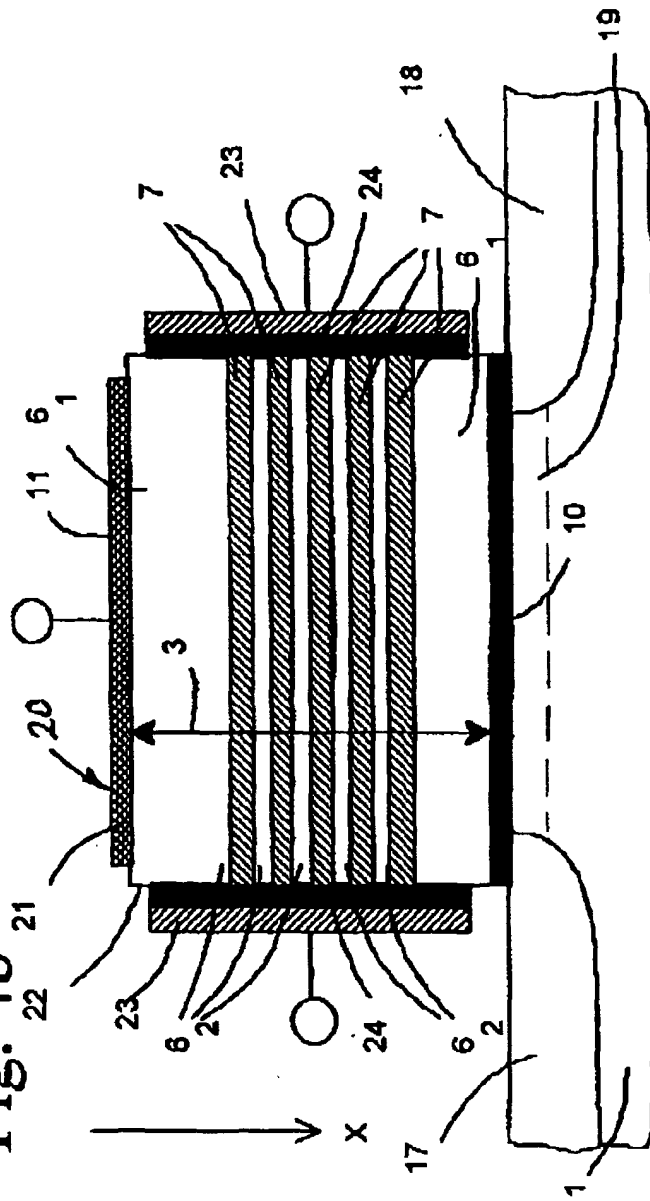


Fig. 4a

Fig. 4b



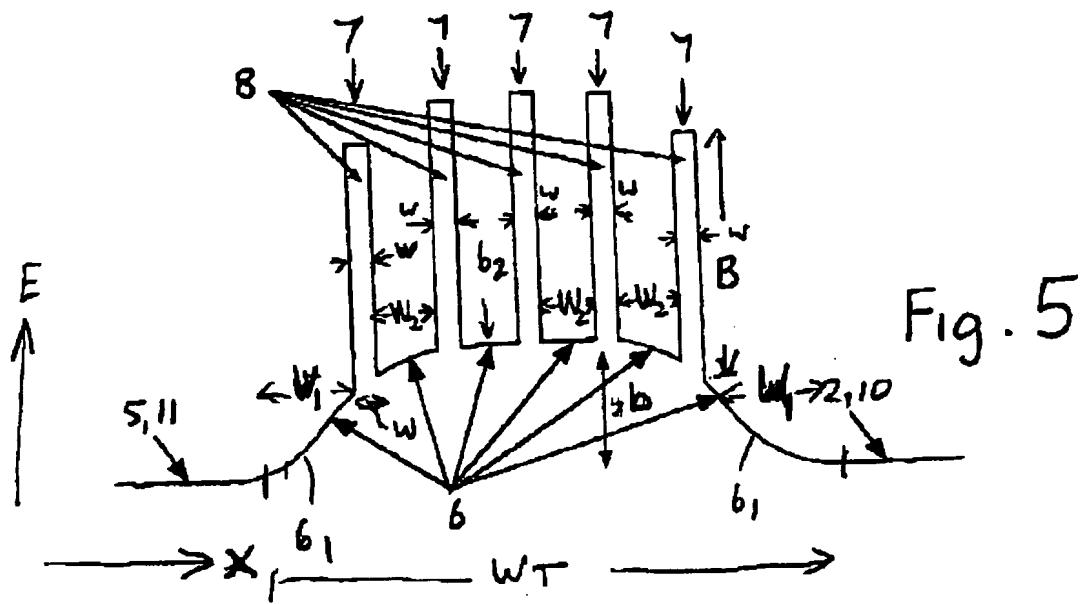


Fig. 5

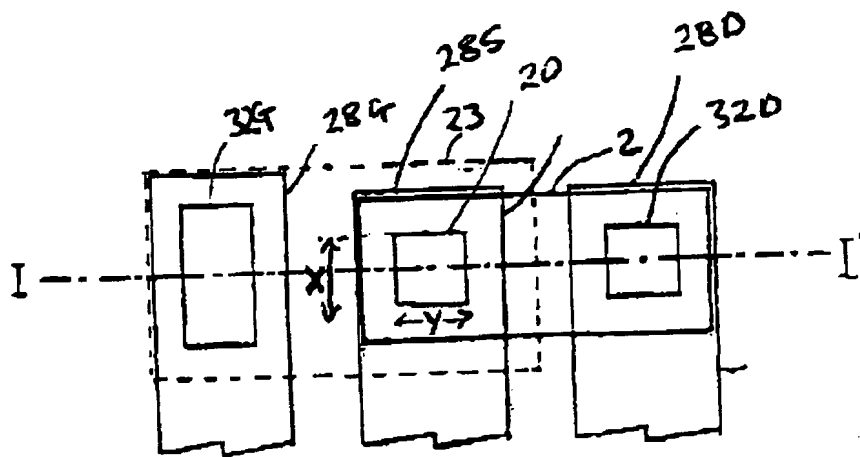
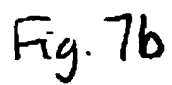
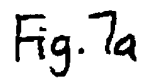
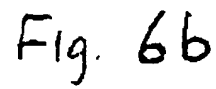


Fig. 5a



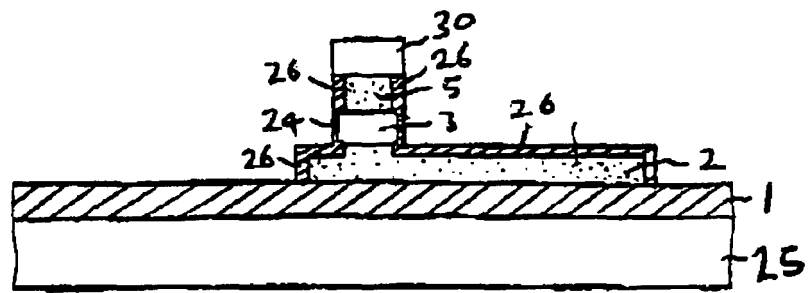


Fig. 7c

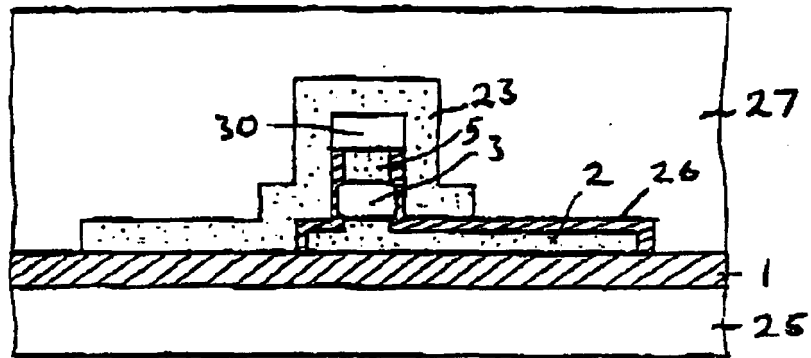


Fig 7d

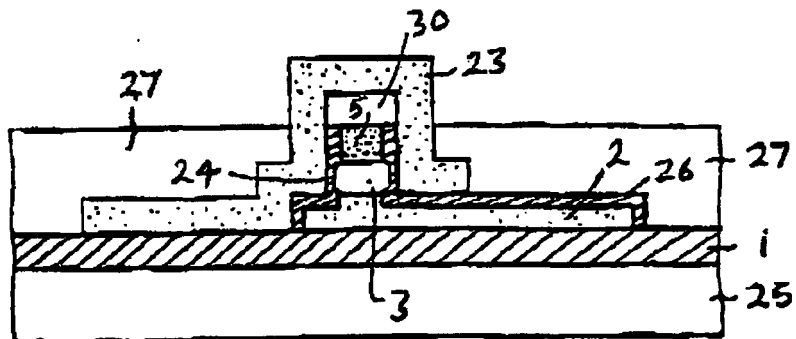


Fig. 7e

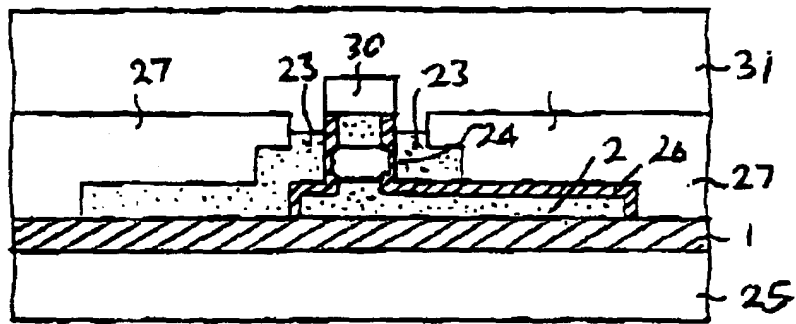


Fig 7f

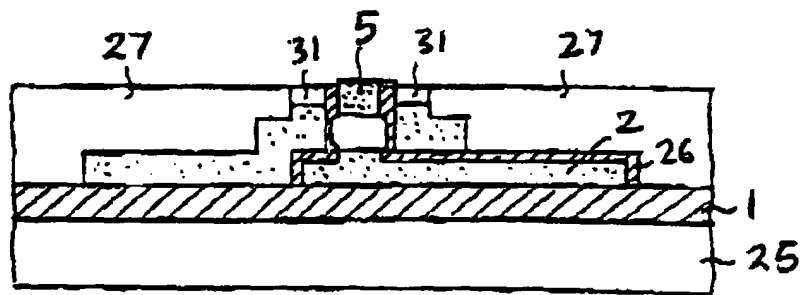


Fig 7g

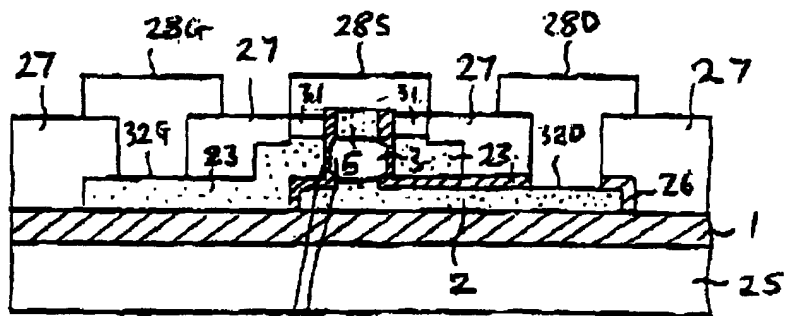


Fig 7h

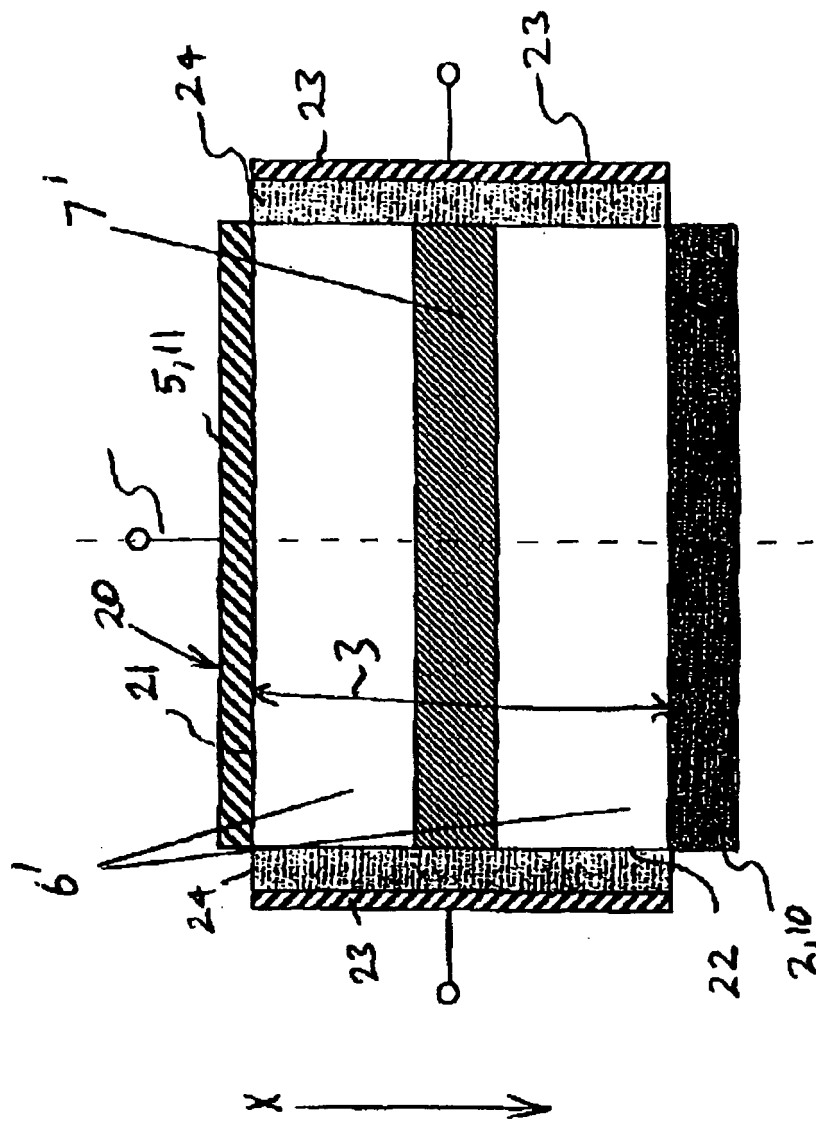
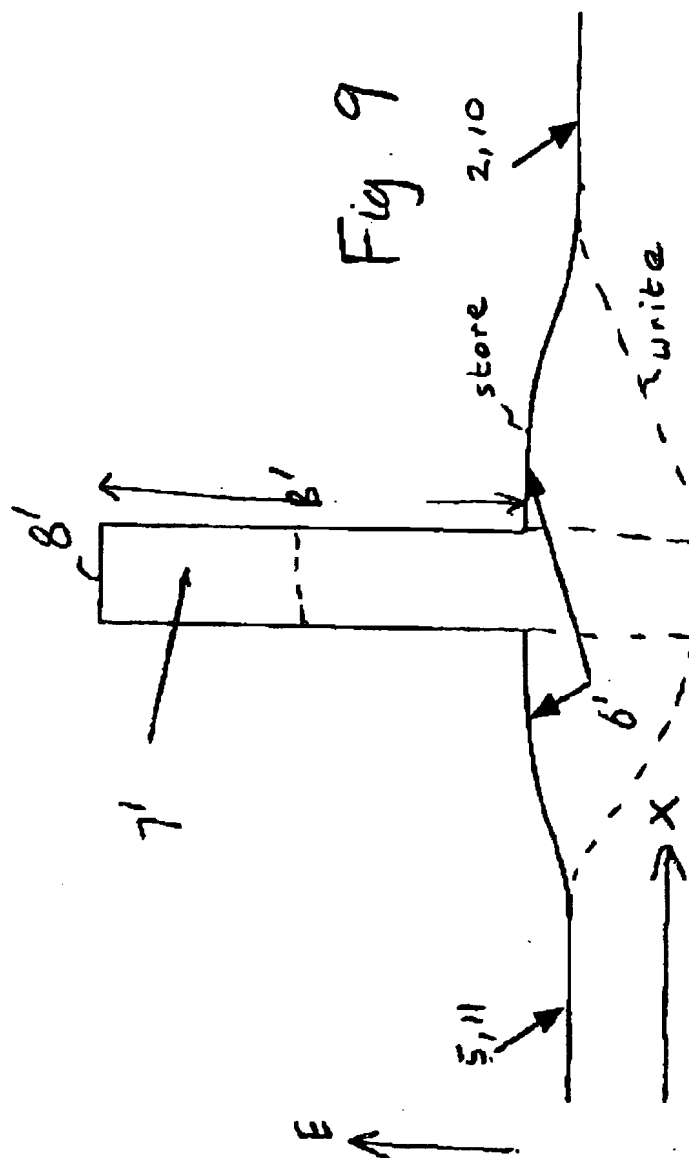


Fig 8



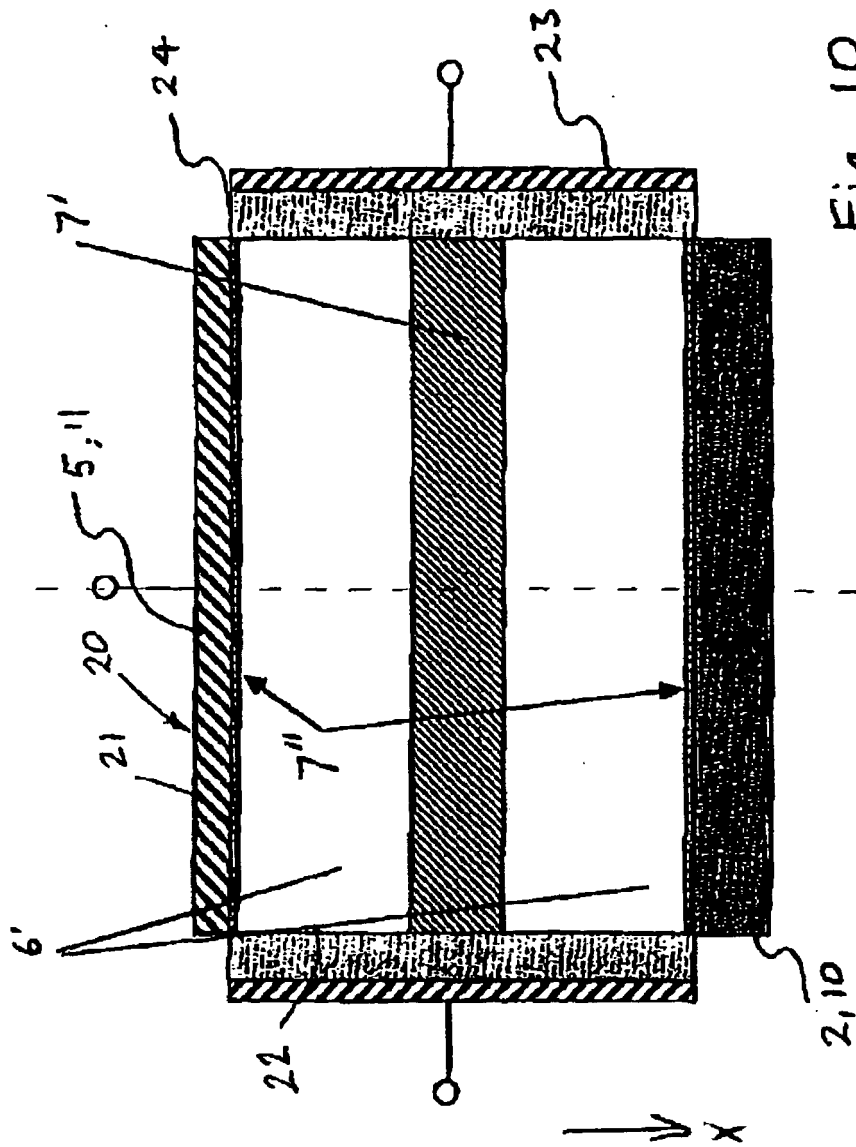
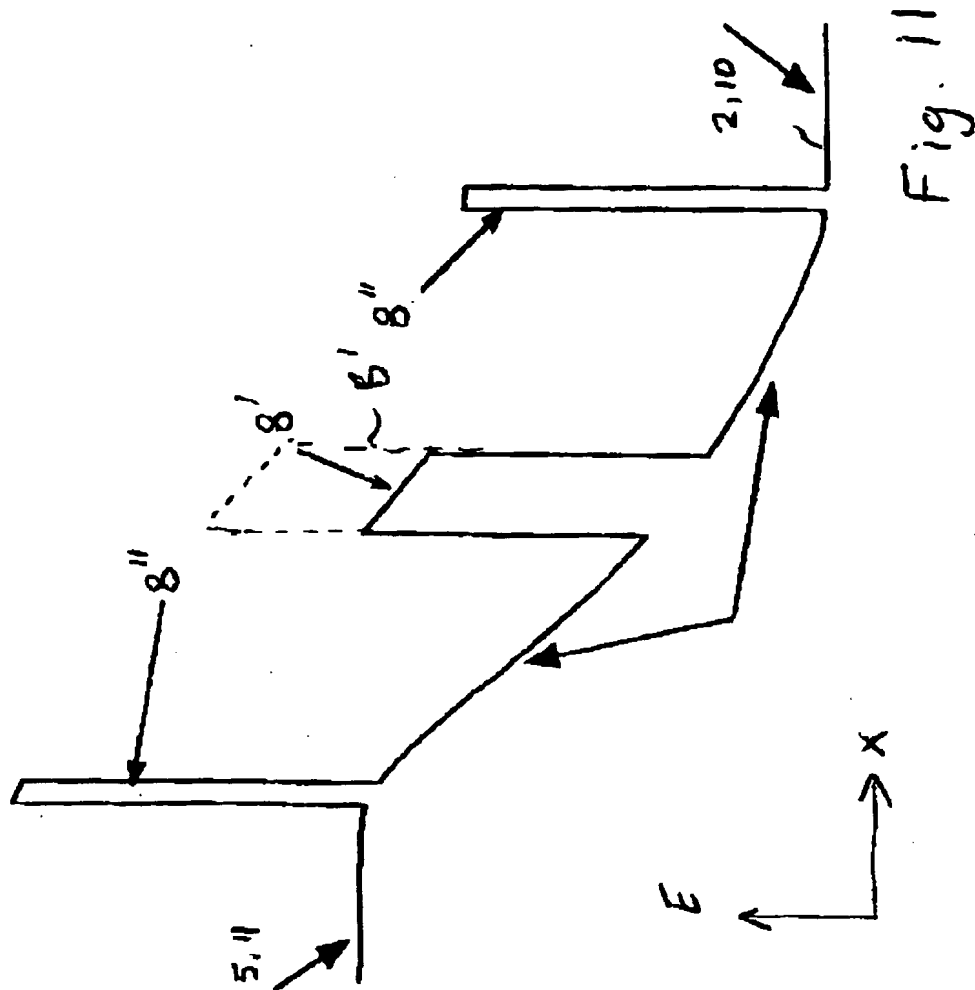


Fig. 10



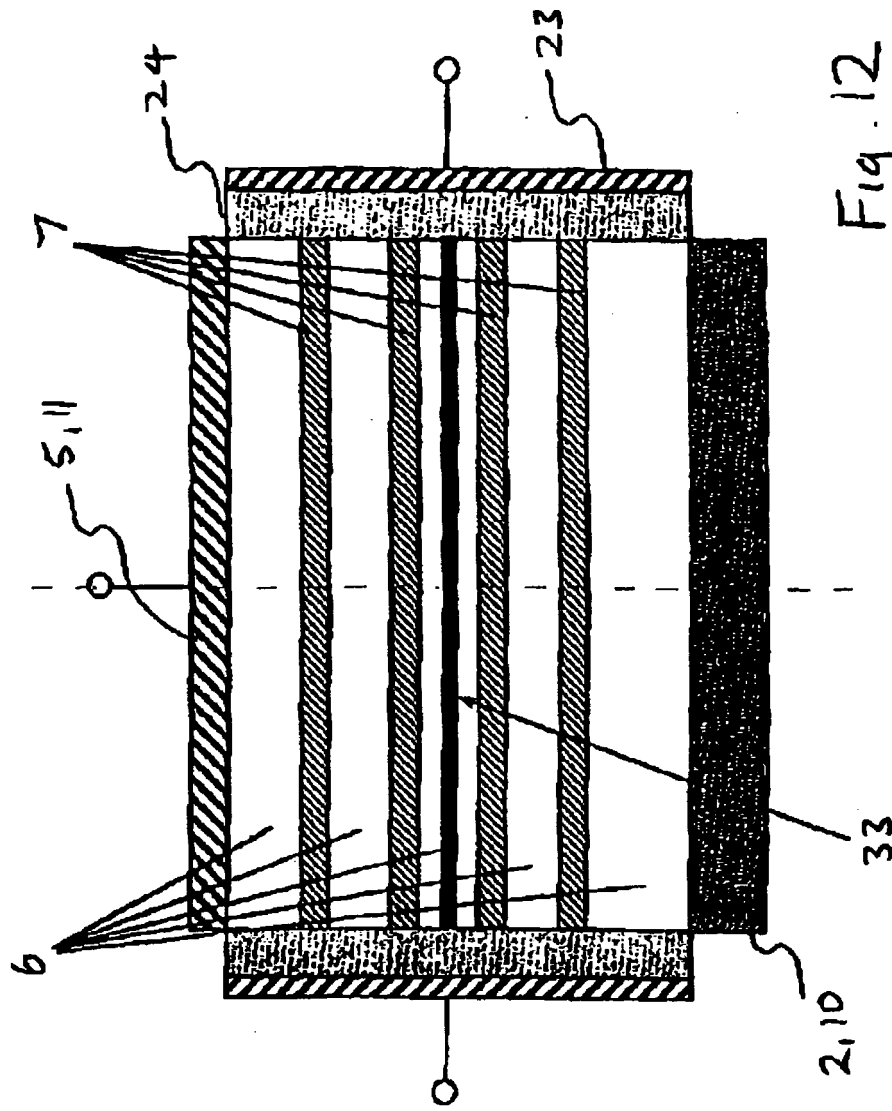
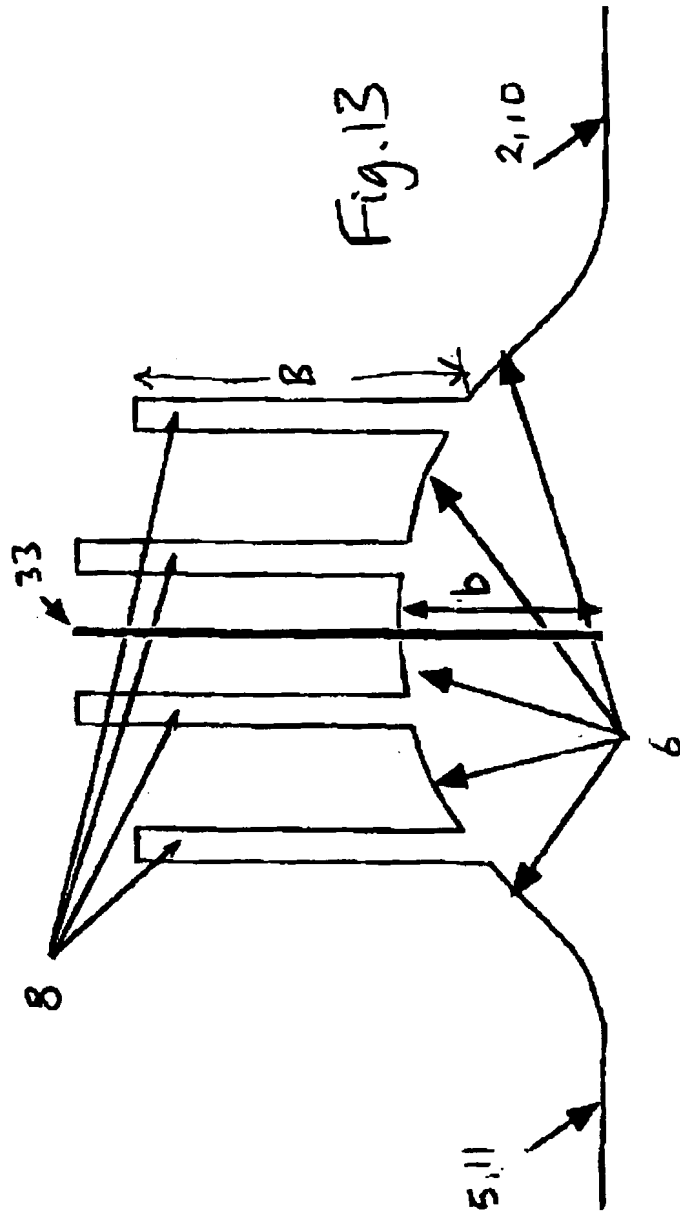


Fig. 12



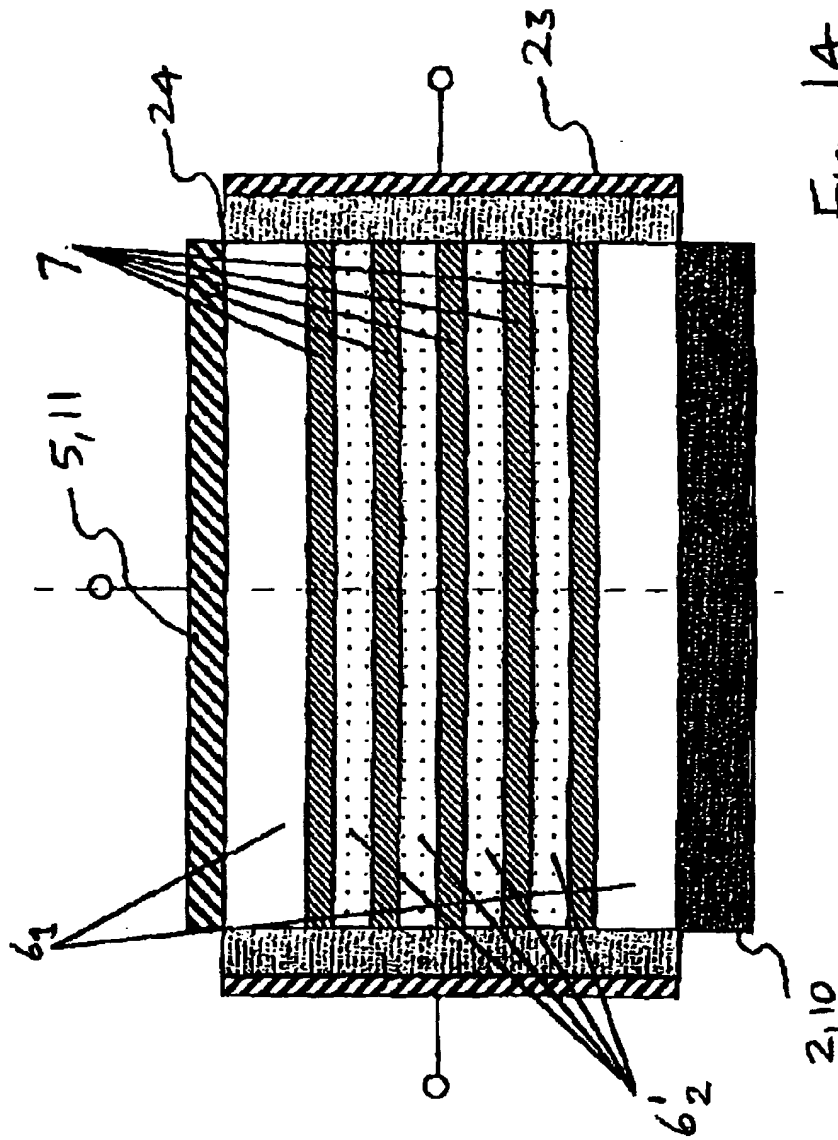
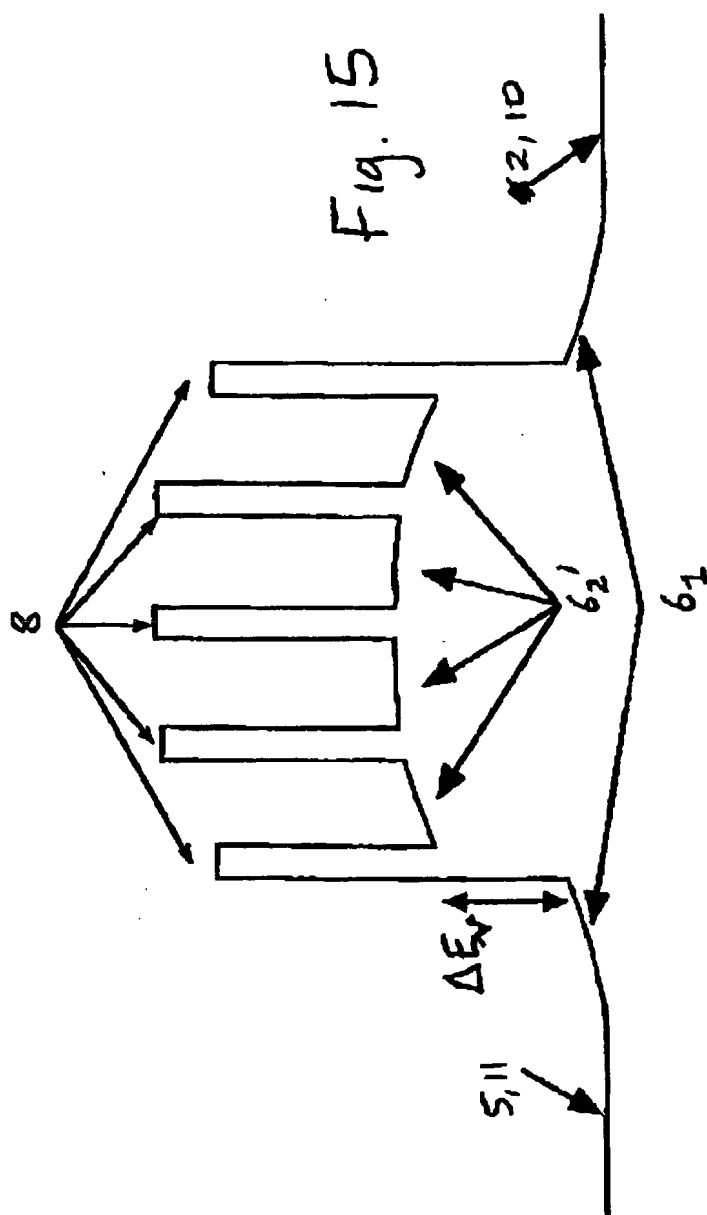


Fig. 14



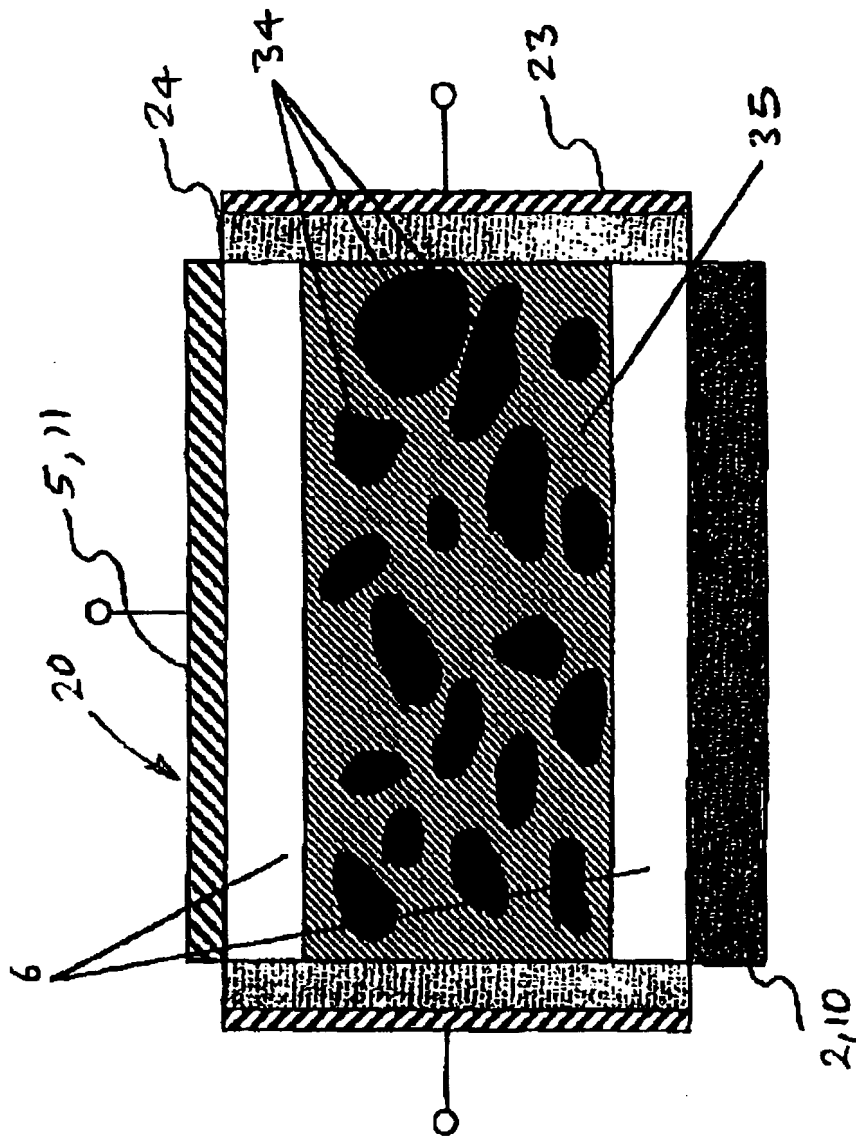


Fig. 16

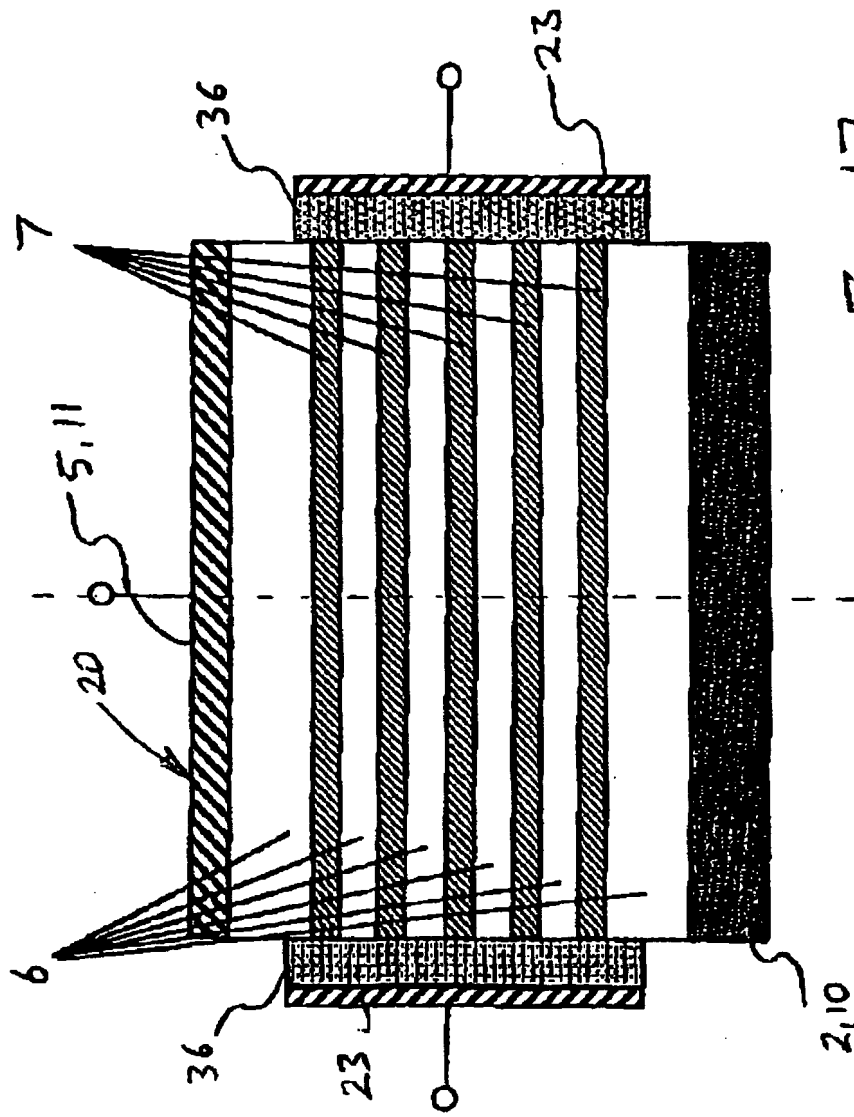


Fig. 17.

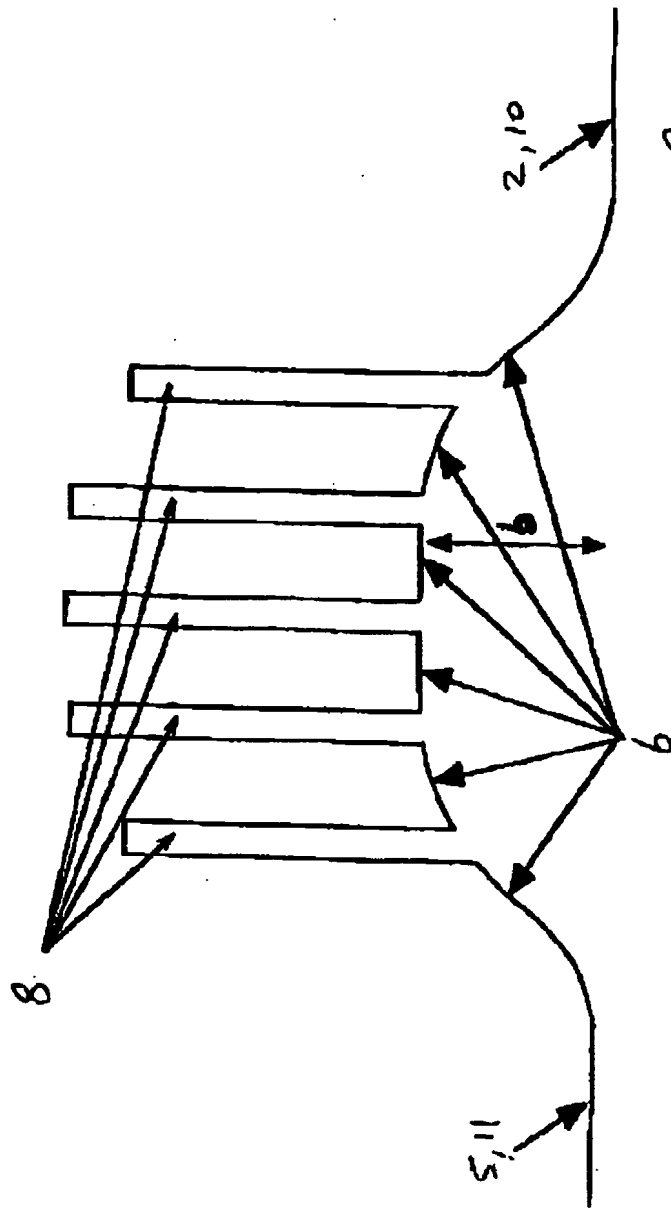


Fig. 18.

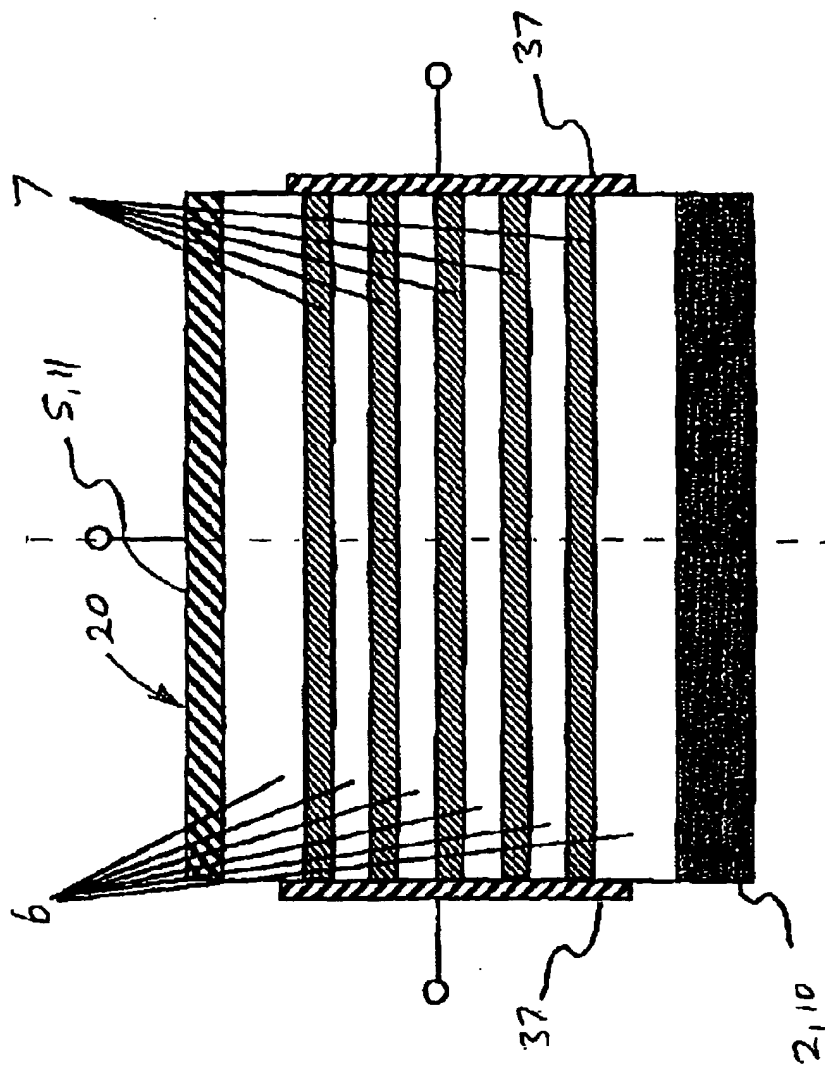


Fig. 19

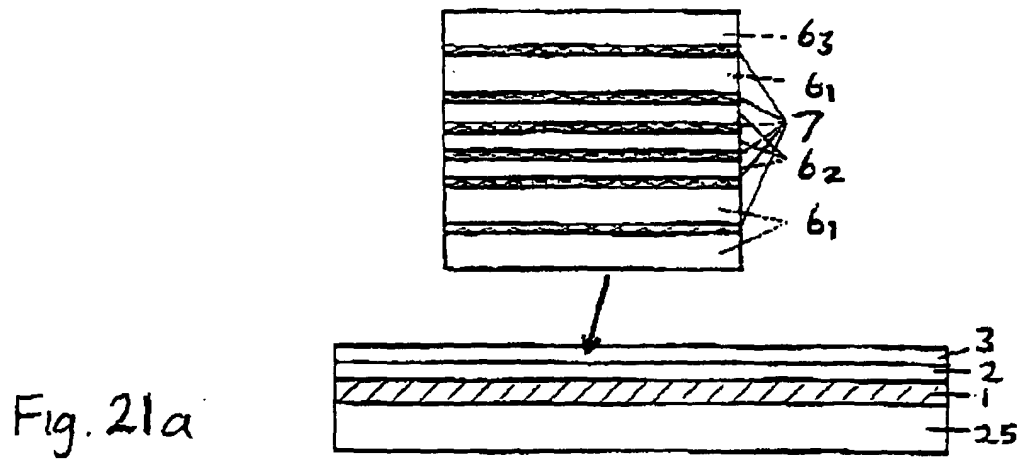
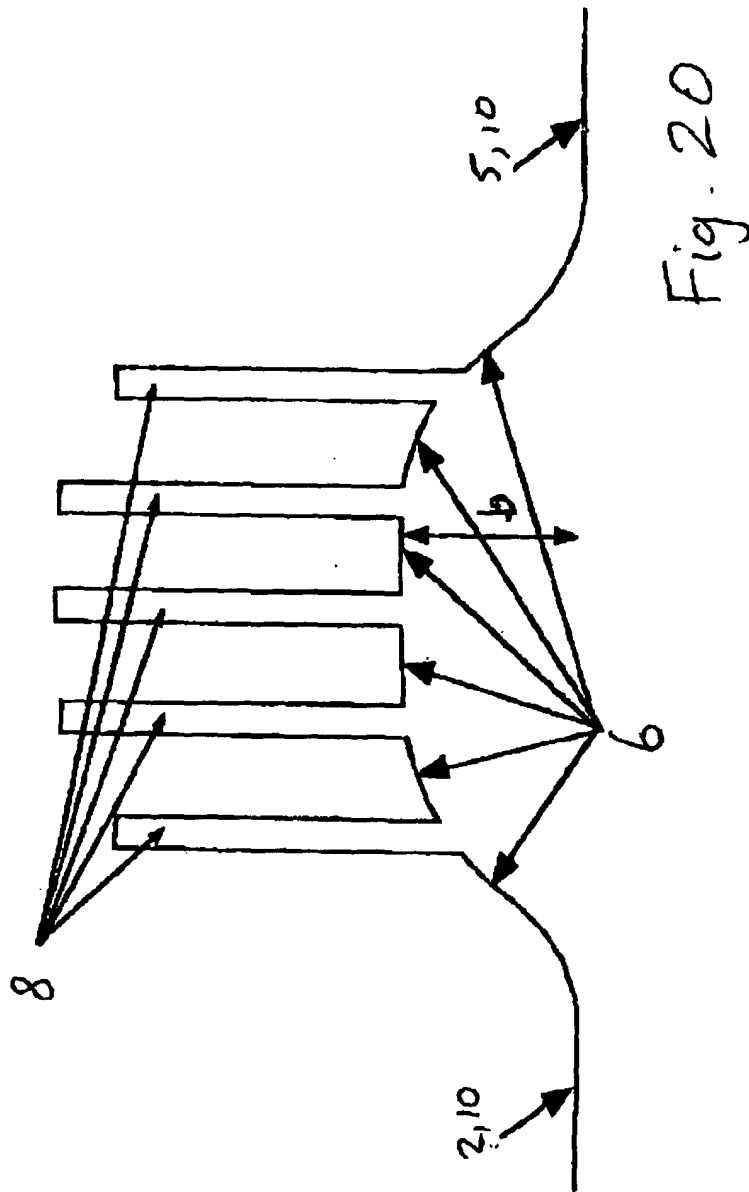


Fig. 21b

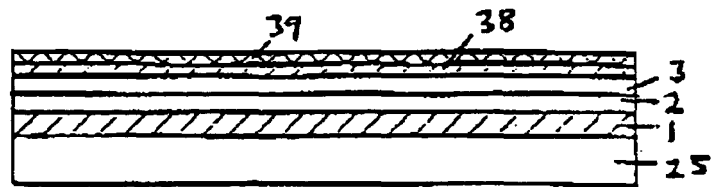


Fig. 21(c)

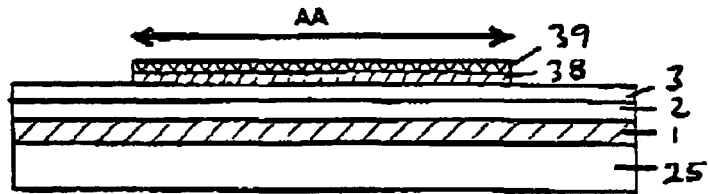


Fig. 21(d)

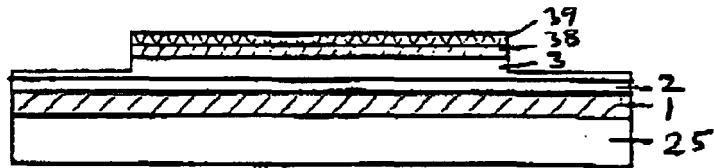


Fig. 21(e)

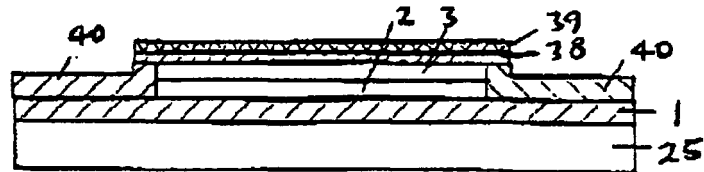


Fig. 21(f)

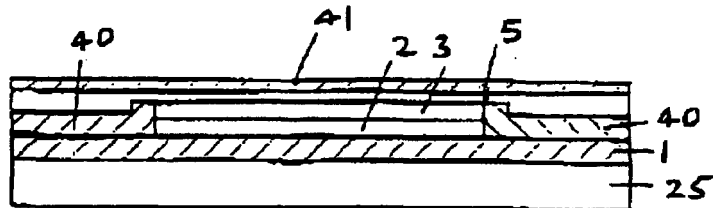


Fig. 21g

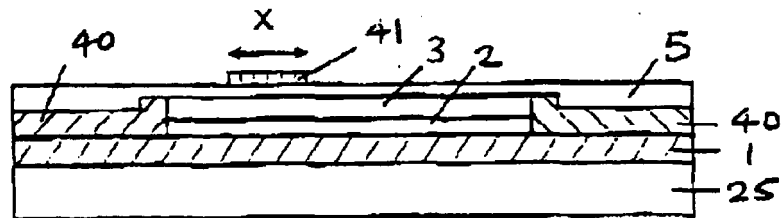


Fig. 21h

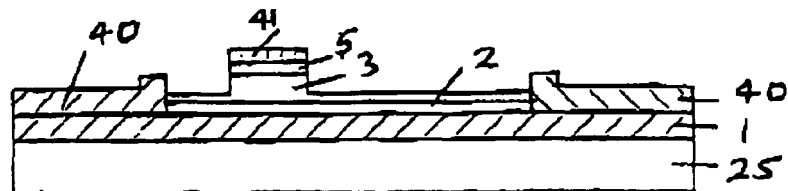


Fig. 21i

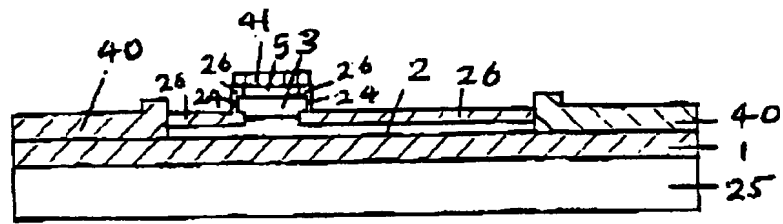


Fig. 21j

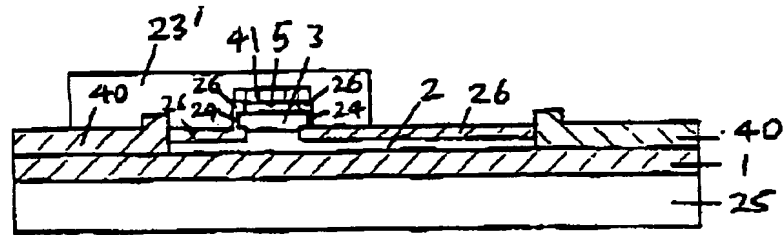


Fig. 21k

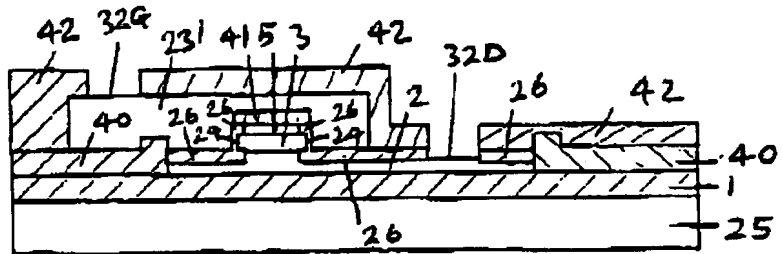
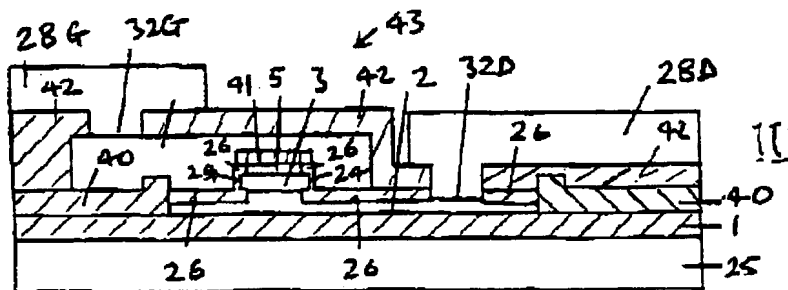


Fig. 21L II



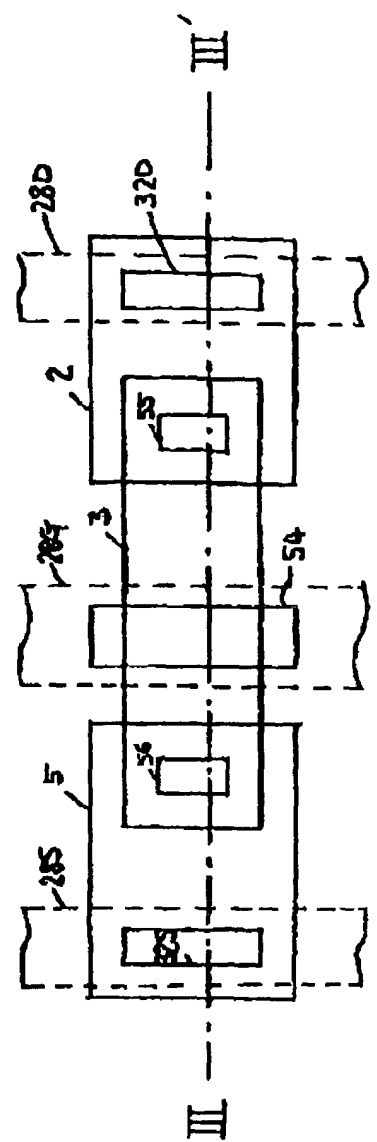


FIG. 23

. 40 -

Abstract

A controllable conduction device comprises an upstanding pillar structure (20) having a side wall (22) and a top surface (21), the structure being formed of regions (6, 7) of relatively conductive and non-conductive material such that in a first condition, charge carrier flow can occur through the pillar structure and in a second condition the regions present a tunnel barrier configuration that inhibits charge carrier flow, and a side gate (23) structure alongside the side wall (22) of the pillar structure, configured to apply an electric field through the side wall into the pillar structure to control charge carrier transport. The device can be used as a memory with a memory node (10) beneath the pillar structure, which stores charge that passes from a control electrode (11) on the top surface (21) of the pillar structure. The device can also be configured as a transistor with a source (5) on top of the pillar and a drain (2) underlying it.

Representative Drawing

FIG. 46